



UNIVERSIDAD CARLOS III DE MADRID
ESCUELA POLITÉCNICA SUPERIOR
DEPARTAMENTO DE TECNOLOGÍA ELECTRÓNICA

Proyecto Fin de Carrera

Análisis y evaluación de un sintetizador de frecuencia fraccional de tipo Sigma-Delta

Autora: Laura Conesa-Peraleja Ruano

Titulación: Ingeniería Industrial

Tutora: Susana Patón Álvarez

Co-tutor: Juan Antonio Torreño Carrera

Curso Académico: 2010/2011

Resumen

Los sintetizadores de frecuencia son sistemas de especial importancia tanto en los sistemas de comunicación como en las técnicas de control y verificación de los mismos.

Este proyecto fin de carrera ha tratado de dar una visión general de los tipos de sintetizadores existentes según sus aplicaciones y sus características, centrándose finalmente en los sintetizadores fraccionales de tipo Sigma-Delta, para los que se ha realizado un diseño.

Posteriormente se han elegido unos casos de estudio, cuya parte digital ha sido implementada usando un FPGA, que se han analizado y evaluado según unos parámetros representativos.

Objetivos del proyecto

El objetivo principal de este proyecto consiste en diseñar un sintetizador de frecuencia fraccional de tipo Sigma-Delta. Para ello se pretende desarrollar cada uno de los componentes que forman el sintetizador, estableciendo cuál es la mejor opción de diseño para cada uno de ellos.

Un sintetizador de frecuencia es un dispositivo electrónico capaz de generar cualquier frecuencia dentro de un rango determinado a partir de una o varias frecuencias de referencia. Entre sus aplicaciones principales se encuentra su aplicación en sistemas de comunicaciones, para seleccionar canales de transmisión en teléfonos móviles o WLANs, y su aplicación como generador de relojes para circuitos digitales.

Además de diseñarlo se ha de aprender a analizar el funcionamiento de cada uno de los bloques fundamentales por separado y también del conjunto. Los bloques principales que lo forman son: detector de fase, filtro del bucle, oscilador controlado por tensión y divisor de frecuencia.

Otro de los objetivos de este proyecto consiste en estudiar qué es un modulador Sigma-Delta, cuya aplicación en el sintetizador de frecuencia será la de controlar el valor del divisor de frecuencia, permitiendo obtener factores de división fraccionales. Una vez entendido su funcionamiento se deberá encontrar cual es el modulador más apropiado para esta aplicación.

Estructura del documento

Este proyecto está estructurado en cinco capítulos.

El capítulo 1 está dedicado a dar una visión general de los sintetizadores de frecuencia, de cada uno de los tipos que existen, sus aplicaciones y de sus ventajas e inconvenientes. Además trata de explicar de cada uno de los bloques que lo componen. Finalmente se

exponen las ventajas de emplear sintetizadores de frecuencia fraccionales de tipo Sigma-Delta frente a otros tipos.

En el capítulo 2 se plantean los casos que se van a evaluar posteriormente, dimensionando previamente cada uno de los elementos del circuito.

El capítulo 3 está dedicado al modelado de cada uno de los bloques del sintetizador y a la evaluación del modelo global mediante una serie de ejemplos.

El capítulo 4 está dedicado al diseño final del sintetizador y a la realización de las medidas sobre un prototipo de los casos de estudio planteados en el capítulo 2.

Por último, en el capítulo 5 se presentarán las conclusiones obtenidas tras la realización de éste proyecto fin de carrera, así como las posibles líneas de trabajo futuras.

Índice

Índice de figuras	- 5 -
Índice de tablas	- 9 -
1 Introducción a los sintetizadores de frecuencia	- 10 -
1.1 Tipos de sintetizadores de frecuencia	- 11 -
1.2 Introducción a los lazos enganchados en fase (PLL)	- 14 -
1.2.1 Detector de fase	- 16 -
1.2.2 Filtro del lazo	- 23 -
1.2.3 Oscilador controlado por tensión (VCO).....	- 24 -
1.3 Introducción a la modulación Sigma-Delta	- 26 -
1.4 Sintetizadores de frecuencia fraccionales	- 31 -
1.4.1 Sintetizador con divisor de doble módulo	- 31 -
1.4.2 Sintetizador con divisor controlado por un modulador Sigma-Delta ...	- 32 -
2 Selección de los casos de estudio	- 34 -
2.1 Dimensionado de los elementos del circuito	- 36 -
3 Modelado de un sintetizador de frecuencia fraccional.....	- 43 -
3.1 Descripción de la plataforma de simulación y de los modelos empleados -	43 -
3.2 Ejemplo de simulación 1: efecto del ruido de fase en el VCO.....	- 54 -
3.2.1 Ejemplo 1(a): efecto del ruido de fase en el VCO en bucle abierto	- 54 -
3.2.2 Ejemplo 1(b): efecto del ruido de fase en el VCO en bucle cerrado	- 55 -
3.3 Ejemplo de simulación 2: comparación de la señal de salida del sintetizador si los bits de control del divisor son fijos o controlados por un SD	- 57 -
3.4 Ejemplo de simulación 3: evaluación de la distorsión para distintos divisores de frecuencia	- 58 -
4 Implementación y medida de los casos de estudio	- 62 -
4.1 Descripción de la plataforma de desarrollo y del banco de pruebas	- 65 -
4.2 Resultados experimentales	- 67 -
4.2.1 Sintetizador de frecuencia con el comparador de fase-frecuencia II del encapsulado CD4046BC	- 67 -
4.2.2 Sintetizador de frecuencia con el comparador de fase-frecuencia programado en la FPGA	- 73 -
5 Conclusiones	- 79 -
Bibliografía	- 81 -
Anexo A. Datasheets.....	- 82 -
Anexo B. Esquemáticos.....	- 84 -

Índice de figuras

<i>Figura 1.1 Ejemplo de sintetizador analógico directo (DAS) [1]</i>	- 11 -
<i>Figura 1.2 Ejemplo de sintetizador digital directo (DDS) [3]</i>	- 12 -
<i>Figura 1.3 Ejemplo de sintetizador con N-entero.....</i>	- 13 -
<i>Figura 1.4 Ejemplo de sintetizador con N-fraccional con divisor de doble módulo</i>	- 13 -
<i>Figura 1.5 Diagrama de bloques de un sintetizador de frecuencia basado en DLL [1]</i>	- 14 -
<i>Figura 1.6 Diagrama de bloques de un PLL</i>	- 15 -
<i>Figura 1.7 Relación entre los márgenes de enganche y mantenimiento</i>	- 16 -
<i>Figura 1.8 Entradas y salidas de un detector de fase.....</i>	- 17 -
<i>Figura 1.9 Detector de fase de puerta XOR [4]</i>	- 18 -
<i>Figura 1.10 Valor medio de la señal de salida de la XOR en función del error de fase</i>	- 18 -
<i>Figura 1.11 Detector de fase con flip-flop.....</i>	- 19 -
<i>Figura 1.12 Ejemplo de funcionamiento del detector de fase con flip-flop [4].....</i>	- 19 -
<i>Figura 1.13 Valor medio de la salida del flip-flop en función del error de fase</i>	- 19 -
<i>Figura 1.14 Señales de salida de un detector con XOR y otro con flip-flop [4]</i>	- 20 -
<i>Figura 1.15 Detector de fase-frecuencia de tres estados.....</i>	- 20 -
<i>Figura 1.16 Diagrama de estados de un detector de fase-frecuencia de tres estados</i>	- 21 -
<i>Figura 1.17 Valor medio de la salida de un PFD en función del error de fase</i>	- 21 -
<i>Figura 1.18 Bomba de carga [3]</i>	- 22 -
<i>Figura 1.19 Señales de salida de un PFD. (a) Señal de referencia adelantada. (b) Señal realimentada adelantada [3]</i>	- 22 -
<i>Figura 1.20 Ejemplos de filtros paso bajo de primer orden. (a) y (b) filtros pasivos. (c) y (d) filtros activos</i>	- 23 -
<i>Figura 1.21 Espectro de frecuencia de un oscilador ideal [3]</i>	- 24 -
<i>Figura 1.22 Función de transferencia del VCO</i>	- 25 -
<i>Figura 1.23 Ejemplo de oscilador de cristal controlado por tensión [4]</i>	- 25 -
<i>Figura 1.24 Ejemplo de VCO.....</i>	- 26 -
<i>Figura 1.25 Cuantificador y su modelo lineal</i>	- 27 -
<i>Figura 1.26 Densidad espectral del ruido de cuantificación.....</i>	- 27 -
<i>Figura 1.27 (a) Modulador Sigma-Delta general en tiempo discreto. (b) Modelo lineal del modulador Sigma-Delta.....</i>	- 29 -

<i>Figura 1.28 Sintetizador de frecuencia con divisor de doble módulo</i>	<i>- 32 -</i>
<i>Figura 1.29 Sintetizador de frecuencia con divisor controlado por un modulador SD</i>	<i>- 33 -</i>
<i>Figura 2.1 Modulador SD de 2º orden estándar.....</i>	<i>- 34 -</i>
<i>Figura 2.2 Modulador SD de segundo orden[10]</i>	<i>- 35 -</i>
<i>Figura 2.3 Modulador SD de tercer orden [11]</i>	<i>- 36 -</i>
<i>Figura 2.4 Bloque digital y bloque analógico del sintetizador de frecuencia.....</i>	<i>- 37 -</i>
<i>Figura 2.5 Diagrama de bloques del sintetizador de frecuencia para calcular el BW</i>	<i>- 38 -</i>
<i>Figura 2.6 Ancho de banda del sintetizador en función de N.....</i>	<i>- 39 -</i>
<i>Figura 2.7 Evolución de la señal de salida del divisor de frecuencia en función de N.....</i>	<i>- 40 -</i>
<i>Figura 2.8 Diagrama de bloques del encapsulado CD4046BC</i>	<i>- 41 -</i>
<i>Figura 3.1 Modelo del sintetizador de frecuencia en Simulink</i>	<i>- 43 -</i>
<i>Figura 3.2 Modelo de detector de fase-frecuencia en Simulink</i>	<i>- 44 -</i>
<i>Figura 3.3 Ejemplo de simulación del detector de fase-frecuencia.....</i>	<i>- 44 -</i>
<i>Figura 3.4 Esquema del oscilador de relajación con C variable</i>	<i>- 45 -</i>
<i>Figura 3.5 Esquema de partida del VCO.....</i>	<i>- 45 -</i>
<i>Figura 3.6 Modelo del VCO en Simulink.....</i>	<i>- 47 -</i>
<i>Figura 3.7 Ejemplo de simulación del modelo en Simulink del VCO.....</i>	<i>- 48 -</i>
<i>Figura 3.8 Modelo del divisor de frecuencia en Simulink.....</i>	<i>- 48 -</i>
<i>Figura 3.9 Modelo de la etapa 0 del divisor de frecuencia en Simulink</i>	<i>- 49 -</i>
<i>Figura 3.10 Modelo de la etapa 1 del divisor de frecuencia en Simulink</i>	<i>- 49 -</i>
<i>Figura 3.11 Modelo de la etapa 2 del divisor de frecuencia en Simulink</i>	<i>- 50 -</i>
<i>Figura 3.12 Modelo de SD con estructura de error realimentado en Simulink</i>	<i>- 51 -</i>
<i>Figura 3.13 Modelo del SD de 3 bits con estructura de error realimentado</i>	<i>- 52 -</i>
<i>Figura 3.14 Modelo del sintetizador de frecuencia con bits de control fijos</i>	<i>- 53 -</i>
<i>Figura 3.15 Modelo de SD de segundo orden para los casos de estudio en Simulink</i>	<i>- 53 -</i>
<i>Figura 3.16 Modelo de SD de tercer orden para los casos de estudio en Simulink.....</i>	<i>- 54 -</i>
<i>Figura 3.17 Comparación del espectro del VCO en bucle abierto para dos potencias de ruido diferentes</i>	<i>- 55 -</i>
<i>Figura 3.18 Espectros de salida para un ruido de fase de $10^{-6} * f_{omáx}$</i>	<i>- 56 -</i>
<i>Figura 3.19 Comparación de espectro de salida sin ruido de fase y con ruido de fase.....</i>	<i>- 57 -</i>
<i>Figura 3.20 Espectro de salida del sintetizador con SD o bits de control fijos.....</i>	<i>- 58 -</i>
<i>Figura 3.21 Espectro de salida para N=9.....</i>	<i>- 59 -</i>
<i>Figura 3.22 Espectro de salida para N=11</i>	<i>- 59 -</i>
<i>Figura 3.23 Espectro de salida para N=15.....</i>	<i>- 60 -</i>

Figura 3.24 Zoom en escala lineal para distintas N	61 -
Figura 4.1 Espectro de salida del modulador SD de 2° orden estándar	63 -
Figura 4.2 Espectro de salida del modulador SD 1 y su modificado	64 -
Figura 4.3 Espectro de salida del modulador SD 2 y su modificado	64 -
Figura 4.4 Fotografía del kit de la FPGA Spartan-3E empleado	65 -
Figura 4.5 Diagrama de bloques del sistema de medida correspondiente al esquemático 1.....	66 -
Figura 4.6 Diagrama de bloques del sistema de medida correspondiente al esquemático 2.....	66 -
Figura 4.7 Espectro de salida empleando el SD estándar para $cte_SD=1000\ 0000\ 0000\ 0000$, que corresponde a $N=11.5$	68 -
Figura 4.8 Espectro de salida empleando el SD estándar para $cte_SD=1001\ 0000\ 0000\ 0000$ 0000, que corresponde a $N=12$	68 -
Figura 4.9 Espectro de salida empleando el SD 1 para $cte_SD=1000\ 0000\ 0000\ 0000$, que corresponde a $N=11.5$	69 -
Figura 4.10 Espectro de salida empleando el SD 1 para $cte_SD=1001\ 0000\ 0000\ 0000$, que corresponde a $N=12$	69 -
Figura 4.11 Espectro de salida empleando el SD 2 para $cte_SD=0011\ 0000\ 0000\ 0000$, correspondiente a $N=10.5$	70 -
Figura 4.12 Espectro de salida empleando el SD 2 para $cte_SD=0100\ 0000\ 0000\ 0000$, correspondiente a $N=11.5$	70 -
Figura 4.13 Para $N=11.56$ correspondiente a $cte_SD=0100\ 0001\ 0000\ 0000$	71 -
Figura 4.14 Para $N=11.62$ correspondiente a $cte_SD=0100\ 0010\ 0000\ 0000$	71 -
Figura 4.15 Para $N=11.68$ correspondiente a $cte_SD=0100\ 0011\ 0000\ 0000$	72 -
Figura 4.16 Relación de potencia entre el tono principal y el inmediatamente inferior en potencia en función de N	72 -
Figura 4.17 Densidad espectral del ruido de fase a 4 KHz del tono principal en función de N	73 -
Figura 4.18 Espectro de salida del sintetizador con un SD de 2° orden estándar para $N=11.5$	74 -
Figura 4.19 Espectro de salida del sintetizador con el SD de 2° orden SD 1 para $N=11.5$	74 -
Figura 4.20 Espectro de salida del sintetizador con el SD de 3° orden SD 2 para $N=11.5$	74 -

<i>Figura 4.21 Espectro de salida para una valor de cte_SD=0100 1100 0000 0000, correspondiente a N=12.24</i>	<i>- 75 -</i>
<i>Figura 4.22 Espectro de salida para una valor de cte_SD=0100 1101 0000 0000, correspondiente a N=12.31</i>	<i>- 75 -</i>
<i>Figura 4.23 Espectro de salida para una valor de cte_SD=0100 1110 0000 0000, correspondiente a N=12.37</i>	<i>- 76 -</i>
<i>Figura 4.24 Relación de potencia entre el tono principal y el inmediatamente inferior en potencia en función de N.....</i>	<i>- 76 -</i>
<i>Figura 4.25 Densidad espectral del ruido de fase a 4 KHz del tono principal en función de N.....</i>	<i>- 77 -</i>

Índice de tablas

<i>Tabla 1.1 Clasificación de los sintetizadores de frecuencia.....</i>	<i>- 11 -</i>
<i>Tabla 1.2 Comparación entre distintos tipos de sintetizadores de frecuencia</i>	<i>- 14 -</i>
<i>Tabla 2.1 Casos de estudio</i>	<i>- 34 -</i>
<i>Tabla 2.2 Parámetros obtenidos para los casos de estudio.....</i>	<i>- 35 -</i>
<i>Tabla 2.3 Valor del divisor en función de los bits de control</i>	<i>- 40 -</i>
<i>Tabla 2.4 Resumen de los parámetros de diseño.....</i>	<i>- 42 -</i>
<i>Tabla 4.1 Parámetros de los moduladores SD para la realización experimental.....</i>	<i>- 62 -</i>
<i>Tabla 4.2 Comparación entre los SD mediante distintos parámetros</i>	<i>- 77 -</i>

1 Introducción a los sintetizadores de frecuencia

En las últimas décadas ha habido un rápido crecimiento de los usos que se le dan al espectro electromagnético y de la industria electrónica asentada a su alrededor. Debido a esto se ha producido un gran avance en determinados dispositivos, entre los que se encuentran los sintetizadores de frecuencia.

Un sintetizador de frecuencia es un dispositivo electrónico cuyo objetivo es generar cualquier frecuencia dentro de un rango dado a partir de una o varias frecuencias de referencia estables. Éstos se emplean en la mayor parte del equipamiento electrónico presente en muchos aspectos de nuestra vida diaria, desde teléfonos móviles hasta ordenadores personales, siendo componentes críticos tanto en términos de realización como de coste de los transmisores inalámbricos [1].

Inicialmente los sintetizadores surgieron a fin de aprovechar las ventajas de los osciladores LC y los osciladores de cristal, como la posibilidad de variabilidad de la frecuencia de salida en el primer caso y la estabilidad en frecuencia en el segundo [2]. Posteriormente comenzaron a desarrollarse métodos de diseño de sintetizadores de frecuencia para tecnologías de circuitos integrados [3] con el objetivo de hacer los productos que los contienen más asequibles, teniendo un menor coste y siendo lo más compactos posible.

La primera vez que se usó el término “síntesis de frecuencia” con el objetivo de generar frecuencias que eran armónicos y submúltiplos de una frecuencia de referencia dada fue en 1943 por Finden [4].

La calidad que presenta un sintetizador de frecuencia se mide por diversos factores entre los que se encuentran la precisión de la frecuencia de salida, el tiempo de conmutación entre frecuencias diferentes, la sensibilidad a la variación de las condiciones (como por ejemplo la estabilidad frente a la temperatura), el ruido de fase presente a la salida y la presencia de señales espurias. El primero de éstos depende fundamentalmente de la señal de referencia empleada en el sintetizador; mientras que los dos últimos dependen de la estructura que posea el sintetizador [5].

Estos dispositivos se emplean en una gran cantidad de aplicaciones. El principal grupo de aplicaciones en el que se utilizan los sintetizadores de frecuencia son los sistemas de telecomunicaciones, donde se emplean para poder seleccionar un canal de transmisión como por ejemplo en teléfonos móviles o WLANs, entre otros. Otra de las aplicaciones es generar relojes para circuitos digitales, que producen los cambios correspondientes del estado del circuito [3].

1.1 Tipos de sintetizadores de frecuencia

En la Tabla 1.1 se muestra una división de los sintetizadores de frecuencia en cuatro grupos principales entre los que se encuentran los sintetizadores analógicos directos (DAS), los sintetizadores digitales directos (DDS), los basados en PLL (phase-locked loop) y los basados en DLL (delay-locked loop) [1].

Tabla 1.1 Clasificación de los sintetizadores de frecuencia

Síntesis de frecuencia	Síntesis directa	Sintetizadores analógicos directos (DAS)	
		Sintetizadores digitales directos (DDS)	
	Síntesis indirecta	Basados en PLL	N-entero
			N-fraccional
		Basados en DLL	

Inicialmente se comenzó haciendo síntesis directa que consistía en efectuar, con una o más señales de frecuencia estable, operaciones de mezclado, multiplicación y división a fin de obtener en la salida una señal cuya frecuencia fuera la deseada. Este método tiene la ventaja de que si el oscilador base es muy estable también lo son las frecuencias de salida. Además permite obtener una resolución muy fina.

Dentro de la síntesis directa se encuentran los sintetizadores analógicos (DAS). Su funcionamiento coincide con el explicado en el párrafo anterior pero además posee las ventajas de facilitar una alta velocidad de cambio de frecuencia y una excelente pureza del espectro. Sin embargo, tiene un coste elevado y un alto consumo de potencia. Por lo tanto no son adecuados para equipamientos portátiles, ni para un número elevado de frecuencias de salida requeridas.

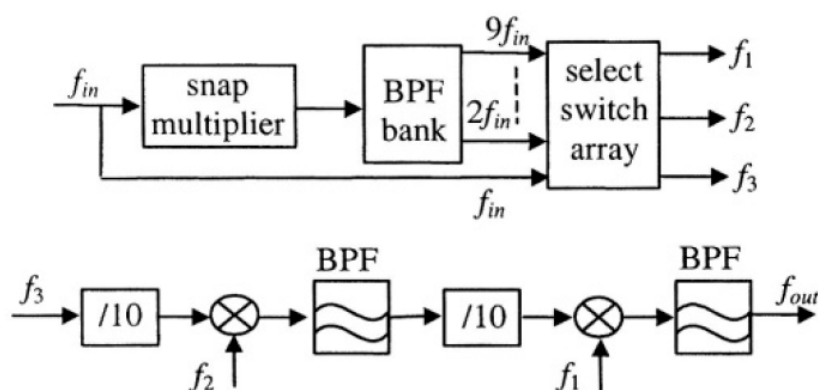


Figura 1.1 Ejemplo de sintetizador analógico directo (DAS) [1]

Por otro lado se encuentran los sintetizadores digitales directos (DDS). Éstos usan circuitos digitales para crear, manipular y modular una señal digitalmente y un convertidor digital-analógico (DAC) para transformar una señal digital en analógica. Se caracterizan por un comportamiento muy bueno en cuanto a ruido de fase, pero tienen el inconveniente de

generar una gran cantidad de espurios. Debido a la gran revolución de la tecnología digital, los DDS has llegado a ser una técnica de síntesis de frecuencia de importante crecimiento en aplicaciones como radares, satélites, comunicaciones inalámbricas, etc. [3].

En la Figura 1.2 se muestra un ejemplo de sintetizador DDS con una tabla de consulta (denominada como lookup table), localizada en una memoria ROM, que convierte la palabra de fase en una palabra de amplitud de un seno/coseno.

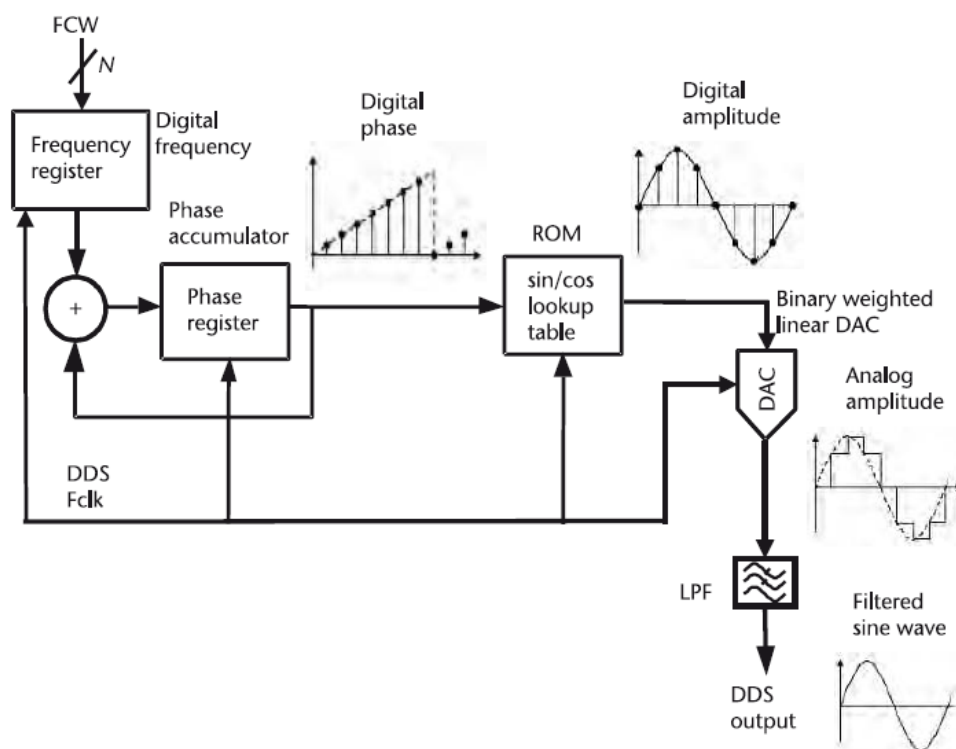


Figura 1.2 Ejemplo de sintetizador digital directo (DDS) [3]

Los problemas ocasionados por los sintetizadores directos llevaron a desarrollar otros tipos de sintetizadores denominados indirectos, como los basados en PLL o basados en DLL.

La topología basada en PLL ha visto generalizado su uso en los últimos años debido a su simplicidad y su bajo coste. Este circuito permite, mediante una señal de referencia, controlar un bucle y obtener en la salida una señal cuya estabilidad en frecuencia depende de la estabilidad de la propia señal de referencia. Además de la estabilidad en frecuencia permite obtener una variación discreta de la frecuencia de salida [2].

A continuación se proporcionará una visión general de los dos tipos principales de sintetizadores de frecuencia basados en PLL que se pueden encontrar: con N-entero o con N-fraccional.

La diferencia principal entre ambos es que, en el sintetizador con N-entero, la frecuencia de salida es un múltiplo entero de la frecuencia de referencia y por lo tanto la resolución mínima se corresponde con esa frecuencia de referencia. Mientras que en el caso de un sintetizador con N-fraccional, al ser la salida un múltiplo fraccional de la frecuencia de referencia, la resolución mínima puede ser mucho menor que la frecuencia de referencia,

como por ejemplo un 10%. En la Figura 1.3 y la Figura 1.4 se muestra un ejemplo de cada uno de estos tipos de sintetizadores basados en PLL, cuyos bloques serán explicados posteriormente.

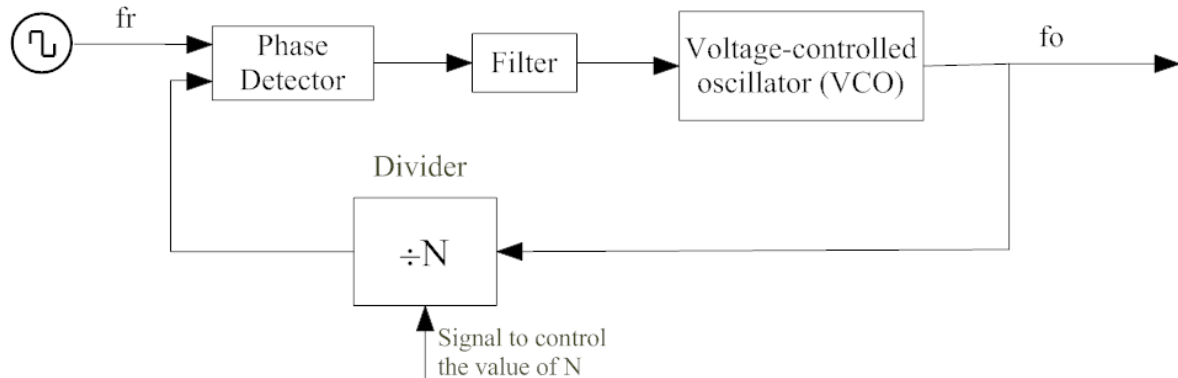


Figura 1.3 Ejemplo de sintetizador con N-entero

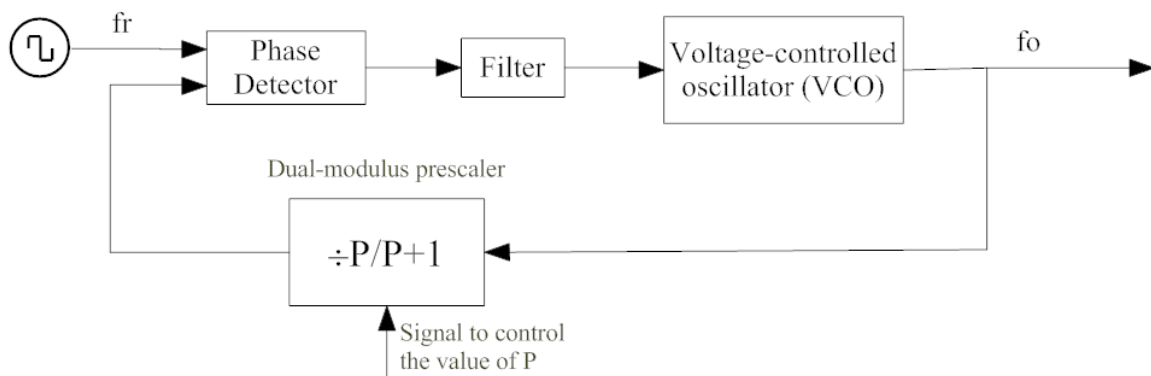


Figura 1.4 Ejemplo de sintetizador con N-fraccional con divisor de doble módulo

Otro tipo de sintetizador de los comentados anteriormente es el basado en DLL, popular debido a su simplicidad. Un DLL es similar a un PLL pero reemplazando el VCO por una línea de retardos controlada por tensión (VCDL). La principal desventaja de este sistema es que su frecuencia de salida no es programable; además el factor de multiplicación es limitado y tiene un alto consumo de potencia. En la Figura 1.5 se muestra el diagrama de bloques de un sintetizador basado en DLL.

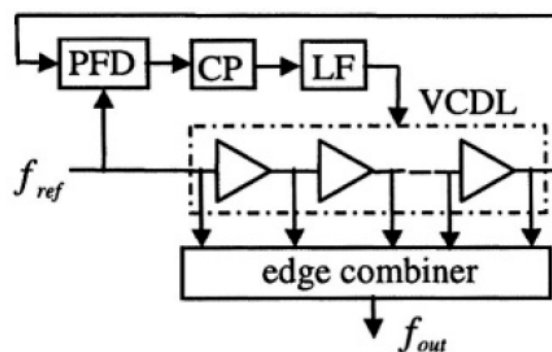


Figura 1.5 Diagrama de bloques de un sintetizador de frecuencia basado en DLL [1]

Por último, en la Tabla 1.2, se muestra un resumen de las ventajas e inconvenientes de los tipos de sintetizadores de frecuencia explicados anteriormente [1].

Tabla 1.2 Comparación entre distintos tipos de sintetizadores de frecuencia

Arquitectura	Ventajas	Inconvenientes
DAS	Cambio rápido, bajo ruido de fase, poca cantidad de espurios	Gran tamaño, alto consumo de potencia
DDS	Cambio rápido, resolución fina	Alto consumo de potencia, gran cantidad de espurios
PLL, N-entero	Bajo consumo, bajo ruido de fase	Cambio lento
PLL, N-fraccional	Cambio bastante rápido	Espurios fraccionales
DLL	Bajo ruido de fase	Frecuencia no programable, alto consumo de potencia

1.2 Introducción a los lazos enganchados en fase (PLL)

Como se ha comentado en el apartado anterior, uno de los principales tipos de sintetizador es el basado en PLL, por lo tanto, para entender su funcionamiento es necesario conocer primero qué es y cómo funciona un PLL.

Un PLL es un sistema realimentado que consigue que la señal realimentada se iguale en fase y frecuencia con la señal de referencia. La forma de onda de la señal de referencia puede ser de diferentes tipos, como senoidal o cuadrada. Este proyecto se centrará en el uso de señales cuadradas, como se verá más adelante.

En la Figura 1.6 se muestra la arquitectura básica de un PLL, formada por tres bloques principales que se explicarán más adelante: detector de fase, filtro y oscilador controlado por tensión.

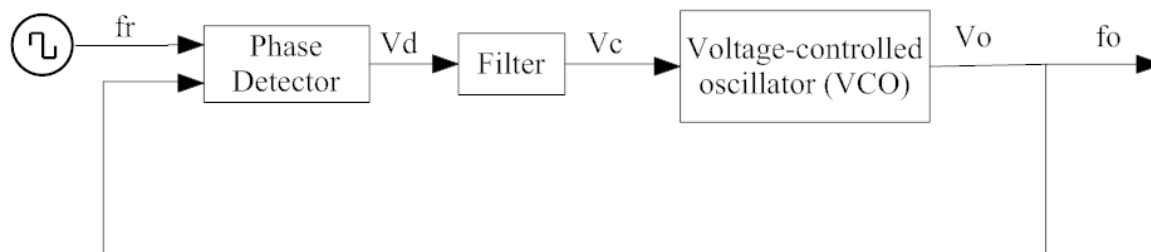


Figura 1.6 Diagrama de bloques de un PLL

Según este diagrama, el comparador de fase compara la fase de la señal de referencia con la fase de la señal realimentada proveniente del VCO, entregando a su salida una tensión de error V_d cuyo valor es proporcional a la diferencia de fase entre las dos señales comentadas. Esta tensión de error es filtrada con el fin de transformarla en una tensión continua libre de ruido V_c , que se aplicará a la entrada del VCO desplazando la frecuencia de oscilación de éste hasta que coincida con la de referencia, produciéndose así el enganche o enclavamiento del PLL, lo que permite alcanzar un estado estable.

La primera aplicación de un PLL conocida fue implementada en el año 1932 por el ingeniero francés Bellescize. Sin embargo, las aplicaciones industriales de los PLL sólo pudieron ser posibles con la aparición de los PLL en circuitos integrados, alrededor de 1965.

Los PLL que aparecieron inicialmente fueron los lineales (LPLL), en los cuales todos los bloques se constituían mediante circuitos analógicos. Posteriormente fueron evolucionando lentamente hacia los PLL digitales (DPLL), en los que se cambió el comparador de fase quedando el resto de los bloques iguales. Después aparecieron los PLL totalmente digitales (ADPLL), en los que todos los bloques eran digitales. Y por último surgieron los PLL que pueden ser implementados mediante un programa de ordenador, denominados SPLL.

En estos sistemas existen algunos parámetros que determinan características importantes de los PLL. Entre ellos se encuentran los márgenes de enganche lineal y no lineal, los márgenes de mantenimiento estático y dinámico, el tiempo de adquisición, el error de fase y la modulación por armónicos de la señal de referencia [5]. A continuación se explican estos parámetros y en la Figura 1.7 se muestra la relación entre algunos de ellos.

- *Margen de enganche lineal (lock-in)*: es el margen de frecuencia de entrada en el PLL para el cual el bucle acaba enganchándose a la señal de entrada, sin superar el margen lineal del detector de fase. Es simétrico respecto a la frecuencia de oscilación libre del VCO, que es aquella a la que oscila para una tensión de control nula.
- *Margen de enganche no lineal (pull-in)*: en este caso el enganche se produce pese a superar el rango lineal del detector de fase. Es un margen más amplio y el enganche es mucho más lento.

- *Margen de mantenimiento estático (hold-in)*: es el margen de frecuencia de entrada en el que, si el bucle está previamente enganchado, puede moverse lentamente de frecuencia sin llegar a desengancharse. Se corresponde con el límite físico de frecuencias en las que funcionan los componentes del PLL y suele ser el VCO el que impone este límite.
- *Margen de mantenimiento dinámico (pull-out)*: estando el PLL enganchado, es el salto instantáneo máximo de la frecuencia de entrada que puede producirse sin que el PLL se desenganche.
- *Tiempo de adquisición*: tiempo que tarda la señal de salida en alcanzar un estado estable, es decir, enganche en fase y frecuencia.
- *Error de fase*: se define como la diferencia de fases entre la señal de entrada y la de salida en condiciones de enganche.
- *Modulación por armónicos de la señal de referencia*: hace referencia a las bandas laterales espurias debidas a armónicos de la señal de referencia que aparecen a la salida del detector de fase.

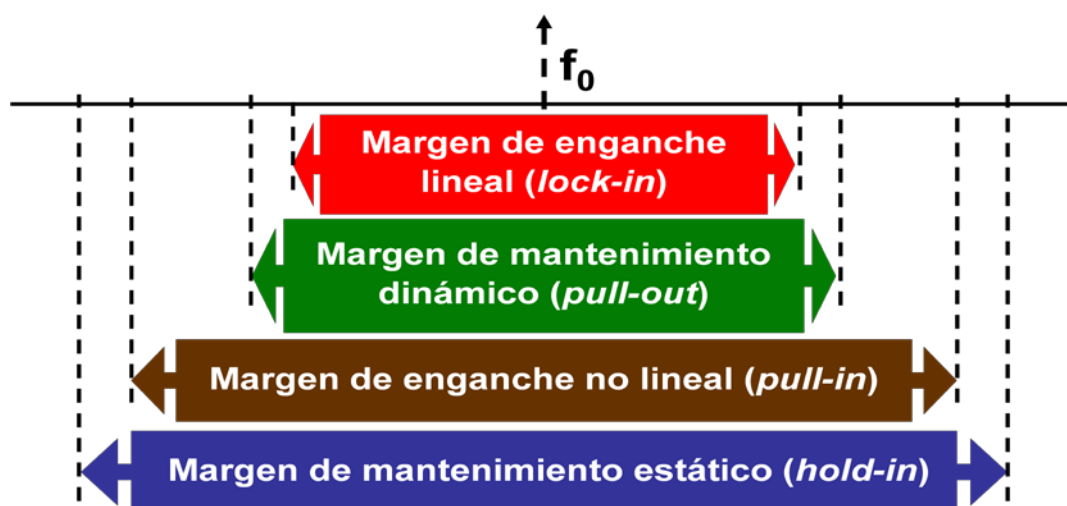


Figura 1.7 Relación entre los márgenes de enganche y mantenimiento

En los siguientes apartados se va a proceder a explicar cada uno de los bloques que constituyen un PLL como el de la Figura 1.6 que incluye: detector de fase, filtro del lazo y oscilador controlado por tensión, describiendo su funcionamiento y sus tipos.

1.2.1 Detector de fase

Un detector de fase es un circuito que produce una señal de salida V_d proporcional a la diferencia de fases entre las señales de entrada. Las señales de entrada y salida del detector de fase pueden tener diferentes formas, como ondas senoidales, ondas cuadradas e incluso

señales que no son periódicas o señales que no tienen un ciclo de trabajo del 50%. A partir de este punto se tendrán en cuenta como señales de entrada ondas cuadradas ya que el sintetizador de frecuencia a estudiar será de onda cuadrada.

Aunque el detector de fase es un sistema no lineal, para pequeñas variaciones de fase este puede considerarse prácticamente lineal [6]. Por lo tanto, para un detector de fase general, cuyas entradas y salidas son las mostradas en la Figura 1.8, la ecuación que lo describe es la expuesta a continuación:

$$V_d(t) = K_d[\theta_r(t) - \theta_o(t)] = K_d\theta_e(t)$$

Donde V_d a menudo se denomina tensión de error, $\theta_e(t)$ es el error de fase y K_d es la constante de proporcionalidad, que será diferente según el tipo de detector de fase.

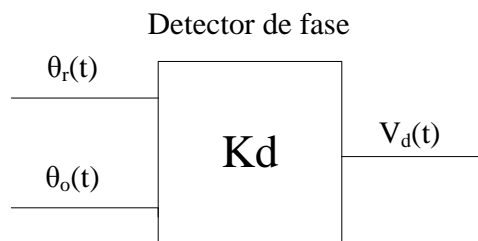


Figura 1.8 Entradas y salidas de un detector de fase

El detector de fase influye considerablemente en las características de funcionamiento del PLL completo. Debido a ello se estudian diferentes tipos, que se emplearán en función de las necesidades de cada caso. Los tipos de detectores de fase más empleados son los siguientes: detector de puerta OR-exclusiva, detector con flip-flop y detector de fase-frecuencia.

1.2.1.1 Detector de fase de puerta OR-exclusiva

Este tipo de detector de fase está formado por una puerta lógica XOR, como su propio nombre indica. Es uno de los tipos de detector de fase de onda cuadrada más sencillo, pero tiene el inconveniente de que la salida depende del ciclo de trabajo de las señales de entrada, deteriorando su funcionamiento.

La salida de este detector está a nivel alto si, y sólo si, una de las dos señales de entrada está a nivel alto. El valor medio de la señal de salida de la XOR indica cual es el desfase existente entre las dos señales de entrada. En la Figura 1.9 se muestra el detector junto con un ejemplo de funcionamiento en el que a la entrada aparecen dos señales cuadradas desfasadas entre sí, y a la salida el resultado de la puerta XOR.

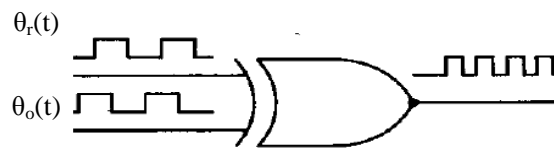


Figura 1.9 Detector de fase de puerta XOR [4]

Como se puede ver en la gráfica de la Figura 1.10, el valor máximo de la salida se da cuando las dos señales de entrada están desfasadas 180° y el valor mínimo cuando las señales de entrada están en fase. Además hay dos valores del error de fase para cada valor de la tensión media de salida, uno de ellos se corresponde con una ganancia de lazo negativa y otro con una ganancia positiva. El valor positivo hace que el sistema en bucle cerrado sea inestable, por lo que el rango de detección de fase está entre 0° y 180° .

Teniendo en cuenta lo comentado anteriormente, se puede determinar que la constante de proporcionalidad de este tipo detector de fase es la siguiente:

$$K_d = \frac{V_{dd}}{\pi}$$

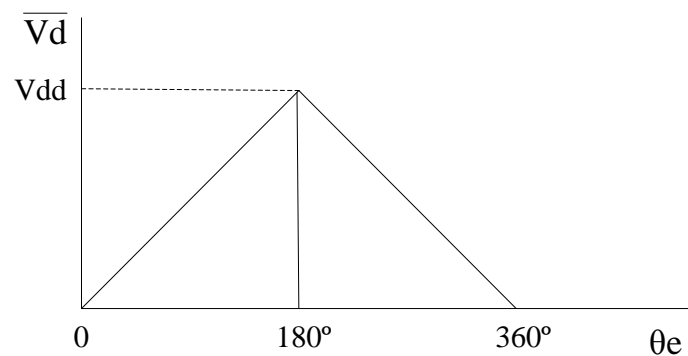


Figura 1.10 Valor medio de la señal de salida de la XOR en función del error de fase

1.2.1.2 Detector de fase con flip-flop

Este detector de fase está formado por un flip-flop con set-reset como el mostrado en la Figura 1.11. En él, las dos señales que hay que comparar (señal de referencia y señal realimentada) se conectan a las entradas de set y reset, respectivamente. El valor medio de la salida Q es proporcional a la diferencia de fase entre ambas señales. En la Figura 1.12 se muestra un ejemplo de funcionamiento de este detector para dos señales desfasadas entre sí.

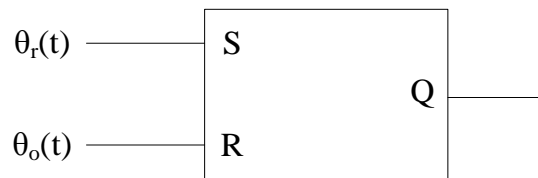


Figura 1.11 Detector de fase con flip-flop

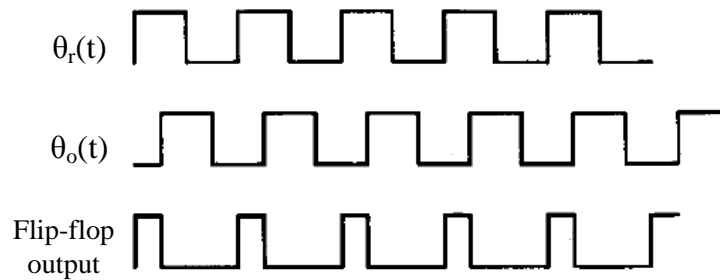


Figura 1.12 Ejemplo de funcionamiento del detector de fase con flip-flop [4]

El detector con flip-flop muestra una ventaja respecto al que emplea una puerta XOR y es que su rango de detección de fase es el doble, por lo que comprende valores entre 0° y 360° , como se muestra en la Figura 1.13; siendo entonces su constante de proporcionalidad:

$$K_d = \frac{V_{dd}}{2\pi}$$

El valor medio de la salida es máximo cuando el error de fase alcanza 360° . Por otro lado presenta la desventaja de que la señal de entrada al flip-flop ha de estar mejor filtrada que la de entrada a la puerta XOR.

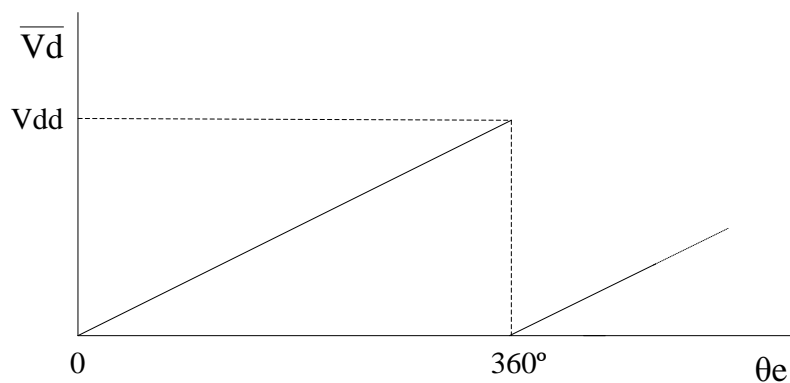


Figura 1.13 Valor medio de la salida del flip-flop en función del error de fase

A continuación se muestra una comparativa entre las señales de salida de los dos detectores de fase explicados hasta el momento, para unas mismas señales de entrada.

Como aparece en la Figura 1.14, la salida de la XOR tiene una frecuencia que es el doble que la de las señales de entrada, mientras que en el flip-flop la frecuencia es la misma. Esto implica que los requerimientos del filtro paso bajo que se encuentra a continuación del detector de fase han de ser menos estrictas si se emplea un detector de fase con puerta XOR. Por otro lado, el detector de fase con flip-flop trabaja mejor que la puerta XOR cuando el ciclo de trabajo de las señales de entrada es inferior al 50%.

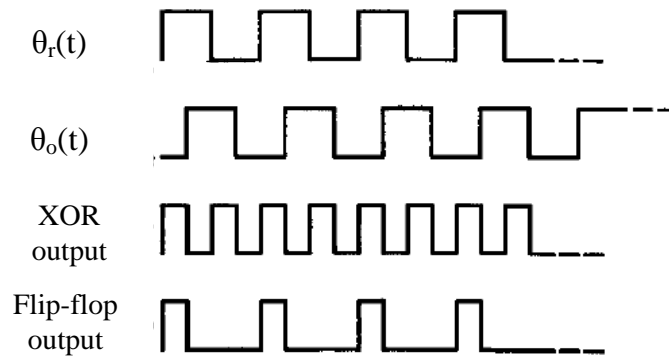


Figura 1.14 Señales de salida de un detector con XOR y otro con flip-flop [4]

1.2.1.3 Detector de fase-frecuencia (PFD)

El tipo más comúnmente usado de esta clase de detector es el conocido como detector de fase de tres estados por flanco de subida o simplemente PFD, cuyo esquema se muestra en la Figura 1.15. Éste está constituido por dos biestables D y una puerta lógica AND. Las señales de entrada del detector de fase, es decir, la señal de referencia y la realimentación, se dirigen cada una de ellas a las entradas de reloj de cada uno de los biestables. Las entradas D están fijadas a nivel alto, y las salidas q1 y q2 son realimentadas a través de la puerta AND para dirigirse al clear de ambos biestables.

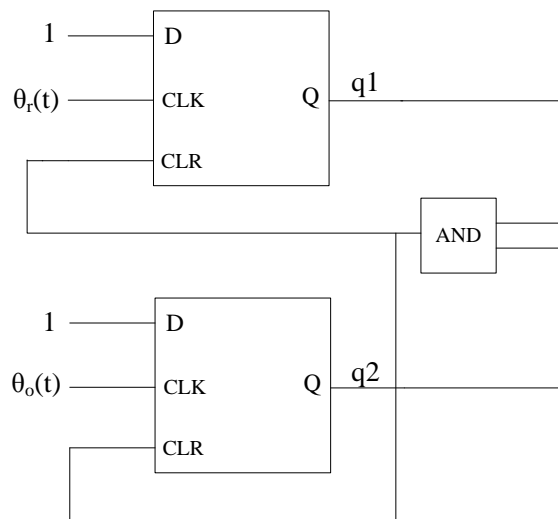


Figura 1.15 Detector de fase-frecuencia de tres estados

De esta manera, cuando la entrada que va adelantada produce un flanco de subida la salida Q correspondiente a su biestable se pone a nivel alto. Después, cuando sucede el flanco de subida de la otra señal de entrada, su biestable pone su salida a nivel alto y justo en ese momento se actualiza la puerta AND produciendo el clear de los biestables, estableciéndose ambas salidas Q a nivel bajo. Por lo tanto, en el biestable cuya entrada va adelantada se producen pulsos proporcionales al desfase entre ambas entradas y en el otro se producen glitches. Este funcionamiento se representa en el diagrama de estados de la Figura 1.16.

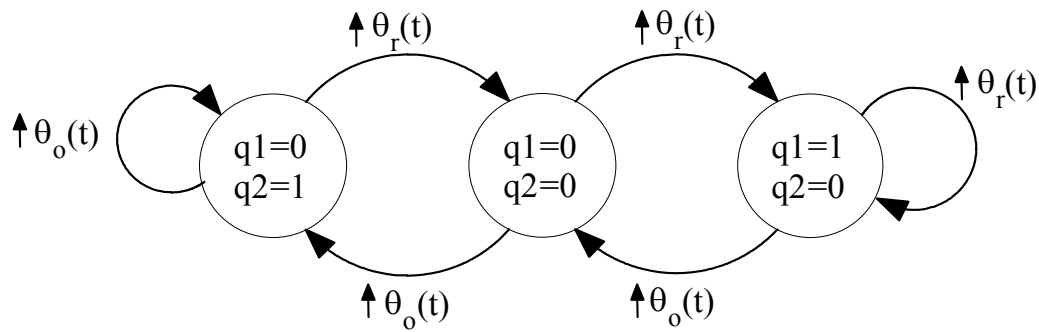


Figura 1.16 Diagrama de estados de un detector de fase-frecuencia de tres estados

Este tipo de detector de fase permitirá un rango de detección lineal de $\pm 2\pi$ radianes, por lo que es capaz de distinguir cuál de las dos señales es la que va adelantada. Debido a esto, la constante de proporcionalidad del detector de fase en este caso será:

$$K_d = \frac{2V_{dd}}{4\pi}$$

El valor medio máximo de la salida se alcanza cuando el error de fase tiene un valor de $\pm 2\pi$ radianes, y el valor mínimo cuando éste es cero, como se muestra en la Figura 1.17.

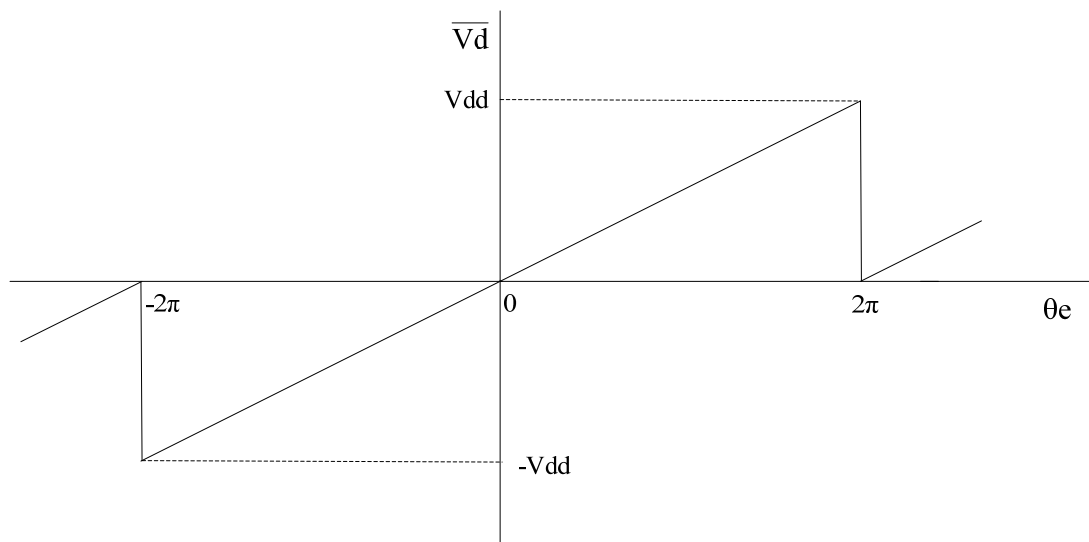


Figura 1.17 Valor medio de la salida de un PFD en función del error de fase

Por otro lado, las dos señales digitales producidas por el detector de fase-frecuencia han de ser convertidas en una señal analógica a la entrada del filtro. El circuito más comúnmente usado para esto es el denominado bomba de carga, mostrado en la Figura 1.18. Éste consiste en dos fuentes de corriente conectadas a una salida común. Las salidas del detector de fase conectan cada una de las dos fuentes de corriente, produciendo una salida i_d diferente en cada caso, que se dirigirá al filtro del bucle.

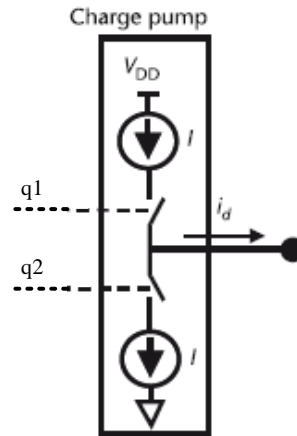


Figura 1.18 Bomba de carga [3]

En la Figura 1.19 se muestra un ejemplo de su funcionamiento para dos casos diferentes. En el primero de ellos la señal de referencia va adelantada respecto a la señal realimentada, mientras que en el segundo va retrasada. Además el desfase entre las dos señales también varía como se puede observar en las señales de salida de los biestables, q1 y q2, y en la corriente de salida de la bomba de carga, cuyo valor medio viene indicado por una línea discontinua. En (a) la media es de valor negativo ya que es la referencia la que va adelantada y por tanto es la fuente que controla q2 la que está más tiempo conectada, mientras que en el caso (b) sucede al contrario.

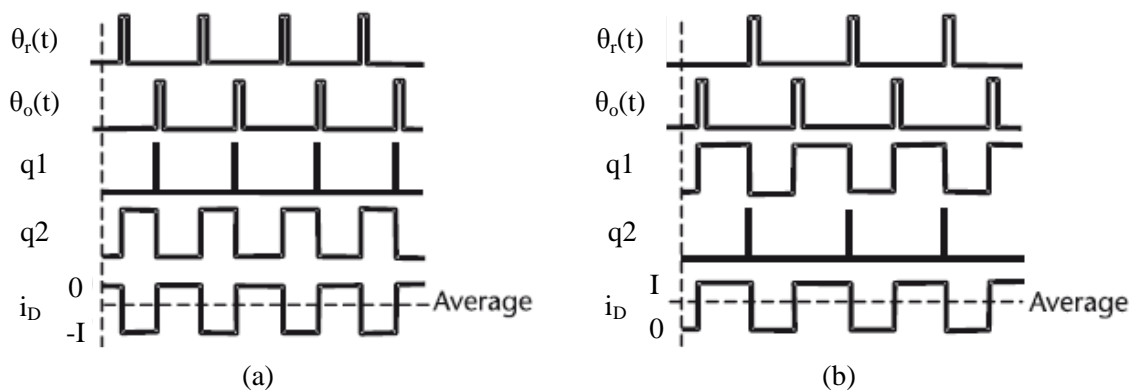


Figura 1.19 Señales de salida de un PFD. (a) Señal de referencia adelantada. (b) Señal realimentada adelantada [3]

1.2.2 Filtro del lazo

La señal de salida, V_d , del comparador de fase o de su respectiva bomba de carga es de tipo onda cuadrada, por lo que estará formada por una tensión continua, que es proporcional al desfase, y el resto de las componentes alternas, que no son deseables.

El filtro del lazo es un filtro paso bajo que se encarga de eliminar todas las componentes distintas de la tensión continua, ya que ésta es la adecuada para controlar el oscilador controlado por tensión, como se explicará en el siguiente apartado.

Este filtro puede ser pasivo o activo y de diferente orden, según el caso. En la mayoría de los casos se emplea un filtro de primer orden, siendo así el lazo cerrado del PLL de segundo orden. Los filtros de orden mayor se emplean en casos en los que se desea una supresión adicional de componentes alternas.

En la Figura 1.20 se muestran algunos de los tipos más comunes de filtros de primer orden empleados, tanto activos como pasivos, más o menos sencillos, como los que aparecen en [4] y [5]; aunque existen otros muchos.

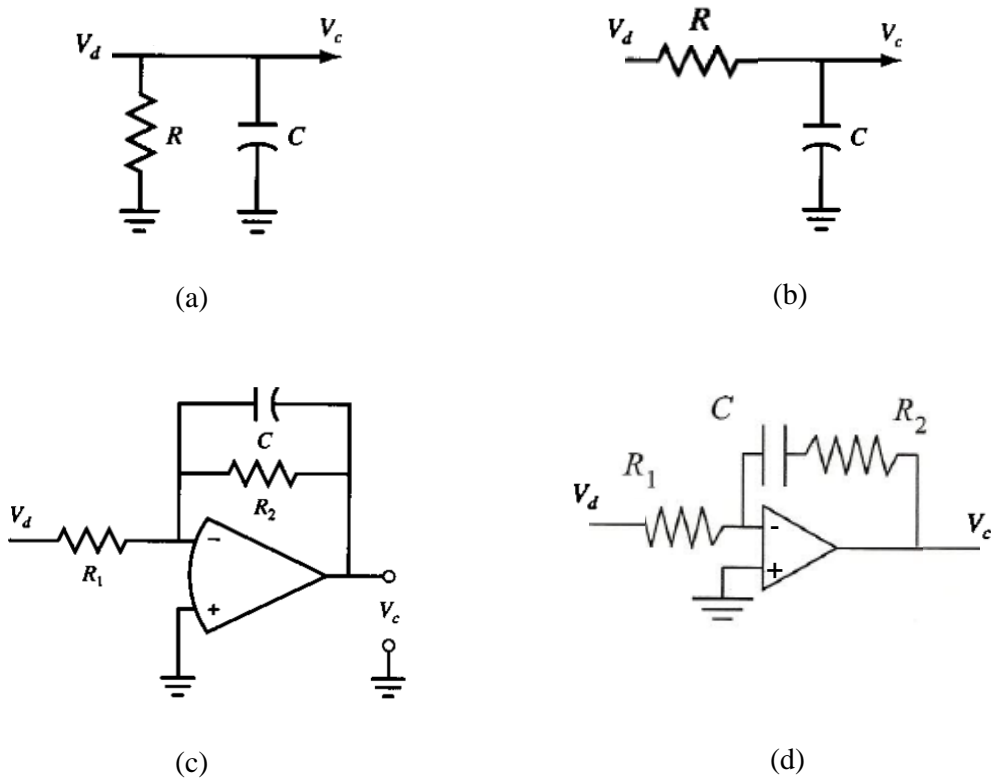


Figura 1.20 Ejemplos de filtros paso bajo de primer orden. (a) y (b) filtros pasivos. (c) y (d) filtros activos

El ancho de banda del filtro paso bajo tiene importancia en las prestaciones del PLL. Una variación de este ancho de banda produce cambios en la rapidez que presenta el PLL para

alcanzar una frecuencia fija determinada. Por ejemplo, si el filtro presenta un ancho de banda pequeño y la frecuencia inicial está muy alejada de la deseada es posible que el lazo no se estabilice, no pudiéndose obtener la frecuencia de salida deseada. Sin embargo, un ancho de banda pequeño implica una mayor inmunidad a ruidos o perturbaciones.

El criterio de elección de la frecuencia de corte del filtro que determina el ancho de banda depende de la aplicación que se vaya a implementar, aunque generalmente resulta conveniente escoger una frecuencia natural entre un 1% y un 10% de la frecuencia de referencia del sistema.

1.2.3 Oscilador controlado por tensión (VCO)

Un oscilador es un circuito que genera una forma de onda periódica. Aunque tiene infinitud de aplicaciones, este texto se centra en su utilización como componente principal de un PLL. Para poder utilizarse para este fin se deben tener en cuenta una serie de consideraciones de diseño que éstos deben cumplir, como bajo ruido de fase, bajo consumo de potencia y posibilidad de variar la frecuencia de oscilación.

En cuanto al ruido de fase, lo ideal sería que toda la potencia de la señal estuviese concentrada en una frecuencia concreta, como muestra la Figura 1.21, aunque también suele aparecer distribuida en múltiplos de la frecuencia de oscilación.

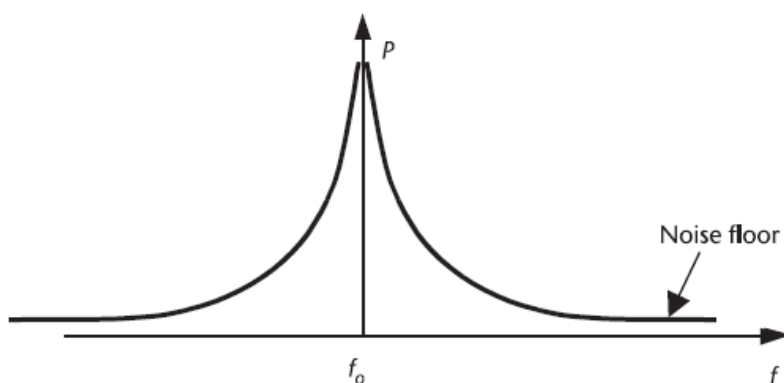


Figura 1.21 Espectro de frecuencia de un oscilador ideal [3]

Por otro lado, debido a la necesidad de variación de la frecuencia, los osciladores a emplear en los PLL o en los sintetizadores de frecuencia serán los conocidos como osciladores controlados por tensión o VCO.

Los osciladores controlados por tensión son aquellos que, como su propio nombre indica, permiten modificar su frecuencia de salida mediante la aplicación de una tensión continua de control V_c . Esta variación de la frecuencia frente a la tensión no es siempre lineal, pero sí se cumple la linealidad en un rango limitado de tensiones y frecuencias [6]. En dicho rango, la expresión que representa esta variación es la siguiente:

$$f_o = f_{\min} + K_v V_c$$

Donde f_{\min} , denominada frecuencia libre de oscilación, es la frecuencia a la que oscila el VCO cuando la tensión de control tiene valor cero, y K_v es la constante de proporcionalidad, que indica como varía la frecuencia de salida en función de la tensión de control. En la Figura 1.22 se muestra la representación gráfica de función de transferencia descrita en la ecuación anterior.

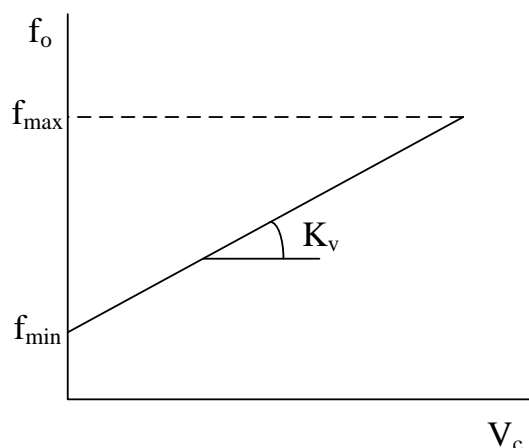


Figura 1.22 Función de transferencia del VCO

Entre los tipos más comunes de osciladores controlados por tensión se encuentran los VCO controlados por cristal y los basados en LC, que se analizan en [3] y [4], aunque también existen otros muchos.

Un tipo de oscilador de cristal controlado por tensión es el que aparece en la Figura 1.23. En él, la frecuencia de oscilación depende de la tensión aplicada en el varactor C_s , y por lo tanto puede ser incrementada o decrementada mediante la tensión de control V_{bias} [4].

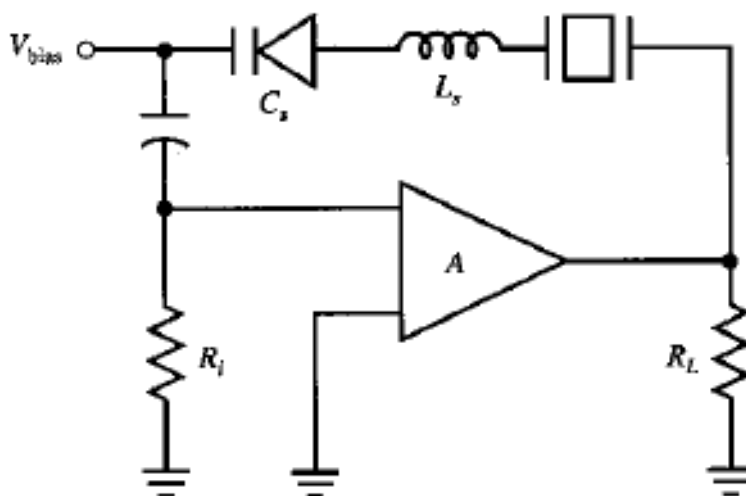


Figura 1.23 Ejemplo de oscilador de cristal controlado por tensión [4]

Otro ejemplo de oscilador controlado por tensión es el que se muestra en la Figura 1.24, en el que la frecuencia de oscilación depende de la tensión de control aplicada en “in”.

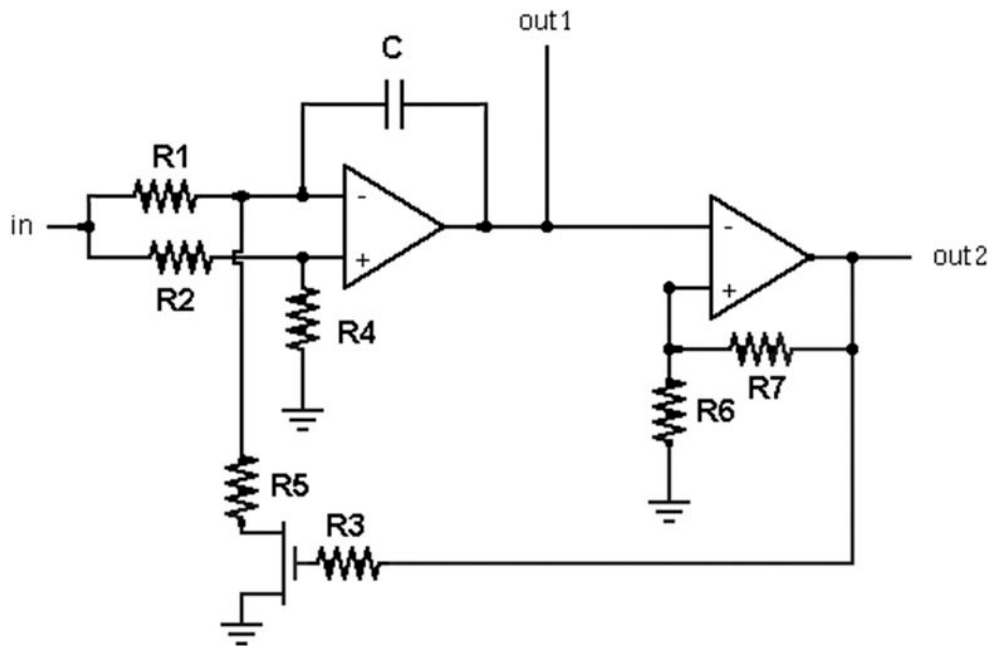


Figura 1.24 Ejemplo de VCO

1.3 Introducción a la modulación Sigma-Delta

El primer modulador Sigma-Delta (en adelante) fue patentado en el año 1960 por C. C. Cutler para mejorar las limitaciones de la modulación Delta desarrollada en 1940. Dos años más tarde, en 1962, H. Inose e Y. Yasuda publicaron un convertidor Analógico-Digital (A/D) al que denominaron modulador Sigma-Delta; sin embargo, no fue hasta mediados de los años 80 cuando comenzaron a desarrollarse e implementarse de manera más extendida, empleándose fundamentalmente para implementar convertidores de tipo A/D y D/A. Desde estos inicios hasta la actualidad se ha trabajado en numerosas mejoras y ampliaciones de este tipo de moduladores.

Para comprender el funcionamiento de los moduladores SD es necesario tener en cuenta una serie de conceptos previos, como el de conformado espectral del ruido de cuantificación y el de sobremuestreo.

En determinados casos, cuando la entrada al cuantificador es lo suficientemente aleatoria y, por lo tanto, el error depende poco de la salida, se puede suponer un cuantificador como un convertidor A/D. Entonces éste se puede modelar como un sistema lineal con una entrada $x(n)$, una salida $y(n)$ y un error de cuantificación aditivo $e(n)$, como muestra la Figura 1.25. De esta manera el error de cuantificación es la diferencia entre la señal de salida y la de entrada $e(n) = y(n) - x(n)$ [7].

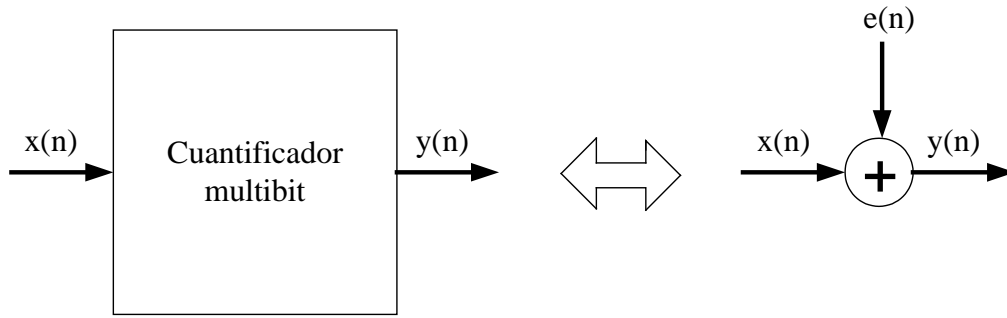


Figura 1.25 Cuantificador y su modelo lineal

Cuando la señal de entrada $x(n)$ varía rápidamente de forma impredecible y la secuencia de error $e(n)$ está incorrelada con la señal de entrada $x(n)$, entonces el error de cuantificación puede considerarse como ruido blanco uniformemente distribuido entre $\pm \Delta/2$, donde Δ se corresponde con la diferencia entre dos niveles consecutivos del cuantificador [7].

En consecuencia, la densidad espectral del ruido de cuantificación $S_e(f)$ estará uniformemente repartida dentro del intervalo $\pm f_s/2$, como muestra la Figura 1.26, siendo f_s la frecuencia de muestreo.

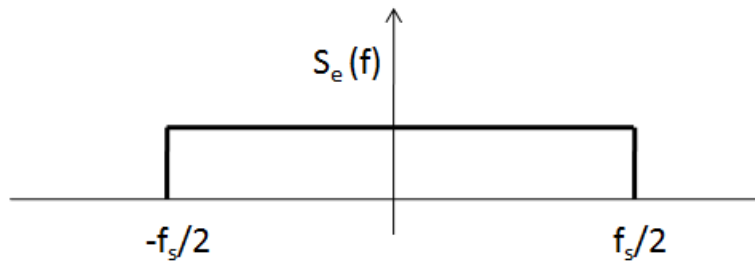


Figura 1.26 Densidad espectral del ruido de cuantificación

Integrando la densidad espectral total del ruido de cuantificación se obtiene que la potencia de ese ruido es $\Delta^2/12$, como se muestra en la siguiente ecuación:

$$\text{Potencia del ruido de cuantificación} = \int_{-f_s/2}^{f_s/2} S_e^2(f) df = \frac{\Delta^2}{12}$$

Teniendo en cuenta esto, se puede deducir que la amplitud de $S_e(f)$ es la siguiente:

$$\text{Amplitud de } S_e(f) = \frac{\Delta}{\sqrt{12 \cdot f_s}}$$

El siguiente concepto previo es el de sobremuestreo. Éste surge del hecho de utilizar una tasa de muestreo mayor que la tasa de Nyquist, cuyo valor es $f_s = 2f_0$, siendo f_0 el ancho de banda de la señal a cuantificar y f_s la frecuencia de muestreo del sistema [7]. El

sobremuestreo hace que se obtenga una potencia de ruido menor en la banda de interés. Más adelante se verá que esta potencia quedará repartida en bandas de frecuencias superiores.

Por lo tanto, se puede definir la relación de sobremuestreo (conocida como OSR) como:

$$\text{OSR} = \frac{f_s}{2 \cdot f_0}$$

Como se ha adelantado anteriormente, al muestrear con una tasa mayor a la de Nyquist se consigue que $S_e(f)$ se expanda en frecuencia y como además el ancho de banda de interés es menor que el ancho de banda de $S_e(f)$ [7] se consigue una disminución de la potencia de ruido, como se demuestra en la siguiente ecuación:

$$\text{Potencia del ruido de cuantificación con sobremuestreo} = \int_{-f_0/2}^{f_0/2} S_e^2(f) df = \frac{\Delta^2}{12} \cdot \frac{1}{\text{OSR}}$$

Según lo visto hasta ahora, queda demostrado que al utilizar técnicas de sobremuestreo disminuye la potencia de ruido de cuantificación, aumentando entonces la relación señal a ruido (SNR). Además, este aumento será mayor cuanto mayor sea la OSR. Sin embargo, este aumento de la SNR podría ser aún mayor si se utiliza el conformado espectral del ruido de cuantificación. Con éste se consigue que el ruido de cuantificación se lleve a bandas de frecuencia mayores que las de nuestra señal.

El uso del conformado espectral del ruido de cuantificación aplicado a señales sobremuestreadas es lo que comúnmente se conoce como modulación Sigma-Delta. En la Figura 1.27 se muestra un modulador Sigma-Delta general en tiempo discreto junto con su modelo lineal.

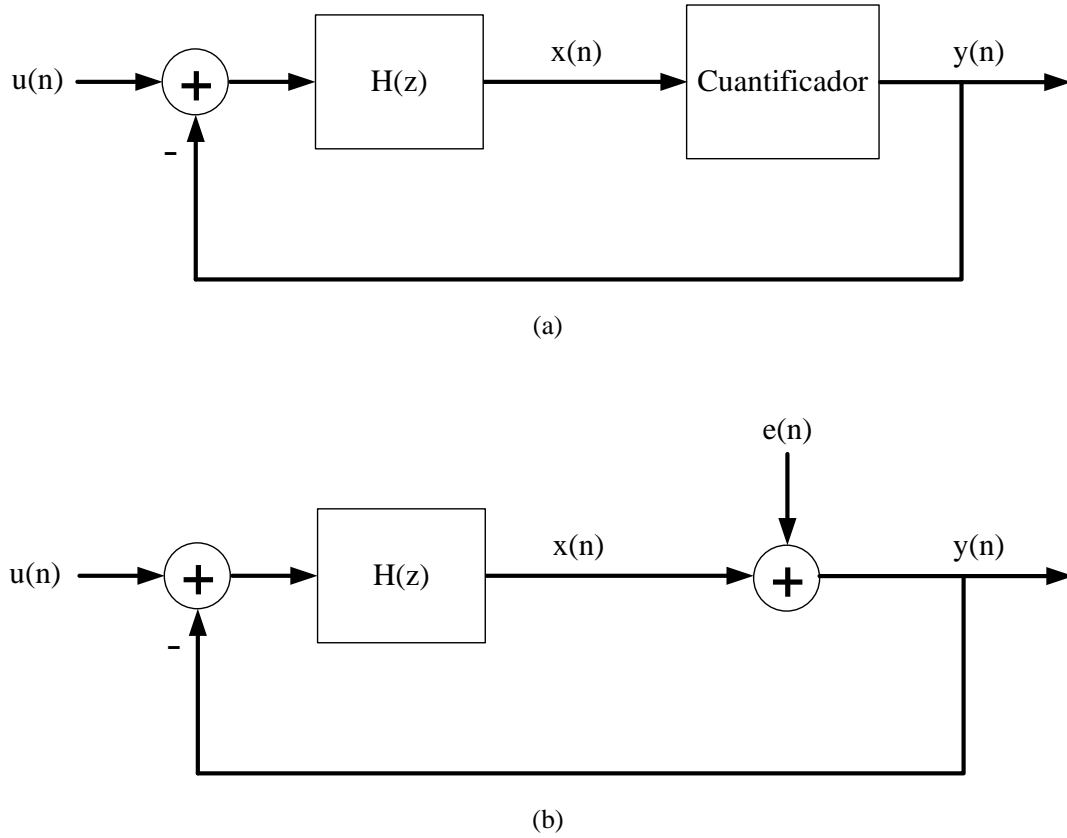


Figura 1.27 (a) Modulador Sigma-Delta general en tiempo discreto. (b) Modelo lineal del modulador Sigma-Delta

Entendiendo el modelo lineal como un sistema con dos entradas independientes, por un lado la señal $u(n)$ y por el otro el ruido de cuantificación $e(n)$, se pueden obtener dos funciones de transferencia: la función de transferencia de la señal o STF(z) y la función de transferencia del ruido de cuantificación o NTF(z). Éstas se pueden expresar en función del filtro $H(z)$ como se muestra a continuación:

$$\text{STF}(z) = \frac{Y(z)}{U(z)} = \frac{H(z)}{1 + H(z)}$$

$$\text{NTF}(z) = \frac{Y(z)}{E(z)} = \frac{1}{1 + H(z)}$$

Teniendo en cuenta lo anterior se puede escribir la señal de salida del modulador como una combinación de las dos entradas como sigue:

$$Y(z) = \text{STF}(z)U(z) + \text{NTF}(z)E(z)$$

El funcionamiento ideal de este tipo de moduladores sería conseguir que, en la banda de interés, la función de transferencia STF fuera lo más cercana a la unidad, mientras que la NTF fuera lo más cercana a cero posible. De esta manera, el ruido de cuantificación queda fuera de la banda de interés, siendo la señal afectada lo menos posible [7].

El orden del modulador SD utilizado es el orden del filtro $H(z)$ que se escoja para el modulador. Por lo tanto, si se modifica el orden del filtro cambiará la NTF también y con ello el conformado del ruido. Cuanto mayor sea el orden del filtro más agresiva será la NTF llevándose más ruido de cuantificación a altas frecuencias, con el consecuente aumento de la SNR en la banda de interés. Sin embargo, hay que tener en cuenta que cuanto mayor sea el orden del filtro más posibilidades se tienen de que se produzca pérdida de estabilidad en el sistema, luego no se podrá aumentar este orden todo lo que se quiera.

Otro parámetro a tener en cuenta es la resolución del modulador. Ésta se puede aumentar incrementando el orden del filtro, el número de bits empleados o bien la OSR.

En cuanto a la aplicación de los moduladores SD en los sintetizadores de frecuencia, éstos se emplean en sintetizadores fraccionales para controlar el circuito divisor de tal manera que los espurios fraccionales puedan ser aleatorios y llevados a una banda de frecuencia alta, donde podrán ser eliminados de forma sencilla por el filtro del bucle [3].

Para poder ser empleados en los sintetizadores de frecuencia, los moduladores SD han de cumplir una serie de requisitos para garantizar un buen funcionamiento [1]. Estos requerimientos son los enumerados a continuación:

- Tan libre de tonos como sea posible.
- Rango de entrada de continua estable, para poder variar el valor del divisor correctamente.
- Adecuado para altas frecuencias de operación.
- Lo más simple posible para reducir el consumo de potencia y el área que ocupa.

Por otro lado se ha de tener en cuenta que, al inicio de este apartado se ha supuesto el cuantificador como un bloque lineal, pero que realmente no es así ya que el error $e(n)$ depende de la entrada $x(n)$. Esta falta de linealidad del cuantificador provoca en el espectro del SD unos tonos discretos situados en unas frecuencias determinadas que dependen de la frecuencia de muestreo, del nivel de continua de la entrada y del número de bits del cuantificador [13].

En los moduladores de primer orden estos tonos aparecen siempre, pero a medida que se aumenta el orden éstos disminuyen y pueden llegar a no aparecer. Lo mismo ocurre si lo que se aumenta es el número de bits del cuantificador. Por lo tanto, con el fin de disminuir estas periodicidades se tenderá a que los moduladores SD sean del alto orden y con un alto número de bits.

1.4 Sintetizadores de frecuencia fraccionales

En los sintetizadores de frecuencia con N-entero es necesario aumentar el valor de la frecuencia de referencia para poder disminuir la distorsión a la salida y para aumentar el ancho de banda para poder rechazar el ruido de fase del VCO. Sin embargo, este aumento de la frecuencia de referencia hace que disminuya mucho la resolución del sintetizador debido a que N es entero y por lo tanto la resolución será f_r [8].

Para poder mejorar la resolución del sintetizador de frecuencia sin disminuir la frecuencia de referencia surgen los denominados sintetizadores de frecuencia fraccionales.

Como se ha comentado en el primer apartado de este capítulo, los sintetizadores de frecuencia fraccionales son aquellos que a la salida permiten obtener una señal con una frecuencia que es un múltiplo fraccional de la frecuencia de referencia $f_o = N \cdot f_r$, donde N puede ser un número decimal.

Debido a esto, la resolución de este tipo de sintetizadores es más pequeña que la frecuencia de referencia; por lo tanto, para una misma resolución, este tipo de sintetizadores puede ser diseñado con un ancho de banda mayor que uno con divisor entero. Esto da como resultado un aumento de la velocidad de cambio de una frecuencia a otra.

Este proyecto trata de analizar un sintetizador de frecuencia fraccional, por lo que este apartado se va a centrar en proporcionar una idea general sobre los dos tipos principales de sintetizadores fraccionales que existen: los de divisor de doble módulo y los de divisor controlado por un modulador Sigma-Delta.

1.4.1 Sintetizador con divisor de doble módulo

Esta estructura surgió para resolver el problema que tenía el sintetizador con divisor fijo y programable [5]. El divisor de doble módulo tiene la posibilidad de dividir por dos factores diferentes según una entrada de control. Estos dos factores normalmente difieren entre sí en una unidad, siendo P y P+1. En la Figura 1.28 se muestra un ejemplo de sintetizador con divisor de doble módulo.

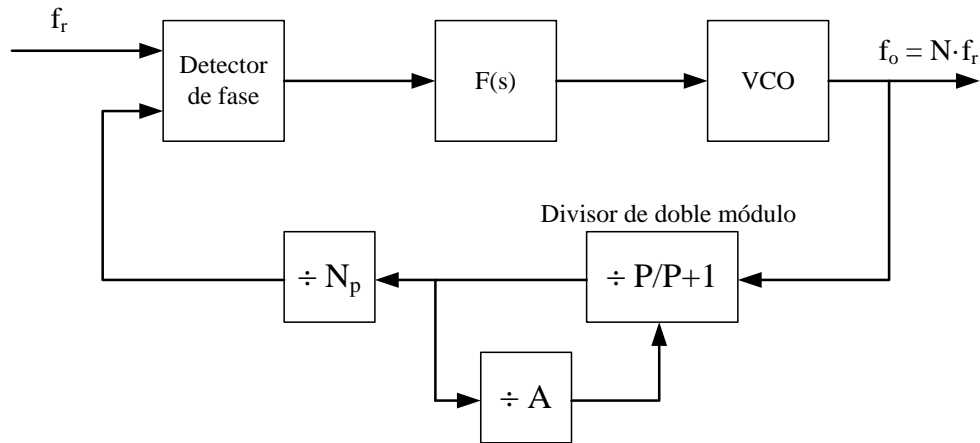


Figura 1.28 Sintetizador de frecuencia con divisor de doble módulo

Inicialmente se parte de una situación inicial en la que el divisor de doble módulo está configurado para dividir por el factor $P+1$. Para que el divisor de doble módulo pase a dividir por el factor P debe recibir un pulso proveniente del divisor A , lo que ocurre tras $A(P+1)$ ciclos del VCO. Entonces, el resto de ciclos del VCO $(N_p - A)P$, el divisor de doble módulo dividirá por P .

Teniendo en cuenta esto, el conjunto se comporta como un único divisor de factor $N = N_p P + A = P(N_p + A/P)$. En media se divide por un entero más una fracción, mientras que la división instantánea es entera.

Con estos divisores de doble módulo se consigue construir divisores de frecuencia que funcionan a frecuencias más elevadas que los divisores programables [5], consiguiendo mantener así una frecuencia de referencia elevada. Sin embargo, su implementación es más compleja que en los divisores programables y además presentan el inconveniente de tener un elevado ruido de fase en el espectro de la señal de salida del sintetizador [9].

1.4.2 Sintetizador con divisor controlado por un modulador Sigma-Delta

Para mejorar el problema de la distorsión en los sintetizadores con divisor de doble módulo se emplean los sintetizadores de frecuencia fraccionales basados en moduladores SD. Debido al efecto del lazo del SD explicado en el apartado 1.3, la distorsión se atenúa a bajas frecuencias mejorando así el comportamiento del sintetizador completo al poder ser filtrado más fácilmente por el filtro del lazo.

En la Figura 1.29 se muestra un ejemplo de sintetizador de frecuencia con un divisor controlado por un SD de un bit. En el caso de que el SD sea de n bits, como el que se empleará en los apartados siguientes, el divisor deberá ser multi-módulo y por tanto las

divisiones instantáneas irán desde P hasta $P+2^n-1$. El empleo de un mayor número de bits facilitará un mejor funcionamiento tanto del propio modulador como del sintetizador completo.

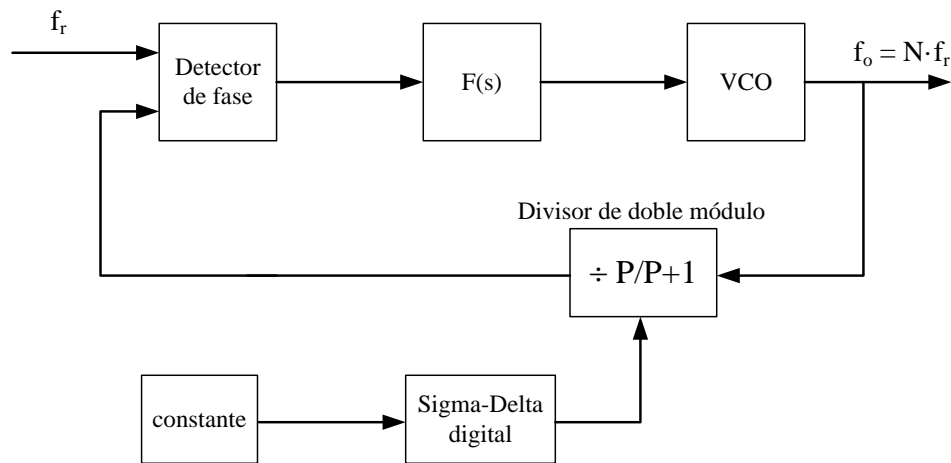


Figura 1.29 Sintetizador de frecuencia con divisor controlado por un modulador SD

Para explicar su funcionamiento se parte de un caso sencillo en el que se emplea un SD de un bit que se usa para modular la división instantánea del divisor de doble módulo. Esta división instantánea es la suma de un entero base, P , y la salida del SD, $n_Q(t)$, por lo que el valor medio del factor de división fraccional es

$$N = P + \overline{n_Q(t)}$$

donde $\overline{n_Q(t)}$ es el valor medio de la salida del SD, dada por la constante de entrada, y puede tomar valores entre 0 y 1.

La ventaja que presenta el SD es que, debido a sus características de funcionamiento, consigue aleatorizar la cantidad de valores 0 y 1 que proporcionan el valor de $\overline{n_Q(t)}$, manteniendo su valor medio y disminuyendo así la cantidad de tonos de espurios fraccionales que aparecen en el espectro de salida del sintetizador.

2 Selección de los casos de estudio

En este capítulo se van a establecer los parámetros que se desean evaluar en un sintetizador de frecuencia. Para ello se van a seleccionar distintos casos de estudio que posteriormente se implementarán, medirán y compararán entre sí.

Para seleccionar dichos casos de estudio nos hemos centrado en evaluar distintos tipos de moduladores SD digitales de tres bits, que controlan el valor del factor de división del sintetizador de frecuencia. Se han elegido tres casos representativos de SD como se muestra en la Tabla 2.1.

Tabla 2.1 Casos de estudio

<i>Nombre del SD</i>	<i>Orden del SD</i>
Modulador SD estándar	2º orden
Modulador SD 1	2º orden
Modulador SD 2	3º orden

El primero de ellos, como su propio nombre indica, es un modulador SD de segundo orden estándar, es decir, todos los coeficientes de sus ecuaciones de estado toman valor unidad. En la Figura 2.1 se muestra este tipo de modulador SD [7].

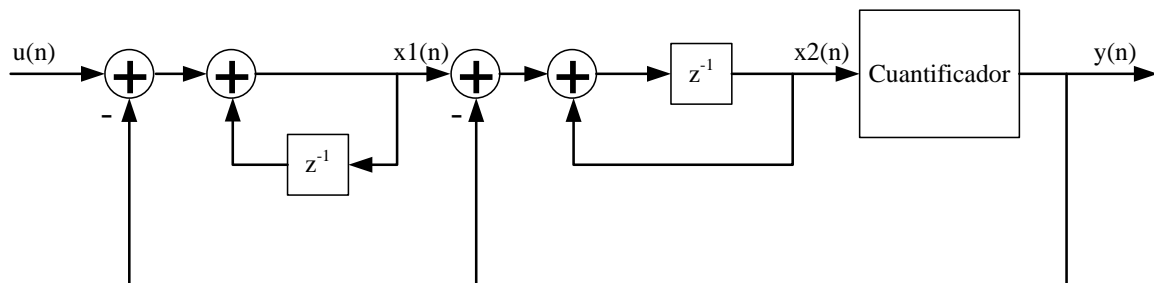


Figura 2.1 Modulador SD de 2º orden estándar

Por otro lado se ha escogido el modulador SD 1. Éste se ha diseñado empleando el toolbox “delsig” [10] a partir de determinadas especificaciones. Para ello se ha empleado la función ‘clans’ a partir de la cual se obtiene su NTF. Posteriormente se ha escogido una estructura determinada y luego se ha simulado adquiriendo el espectro de salida del modulador.

El modulador SD 1 es de segundo orden y se ha diseñado con una OSR de valor 20, próxima aunque superior a la OSR estimada para el sintetizador completo según su modelo, y con resonador. Por otro lado, la estructura escogida para este modulador es la CRFB de [10].

El otro modulador escogido, SD 2, es de tercer orden, con una OSR de valor 8, con resonador y con la estructura CRFB, al igual que en el caso anterior.

El valor de la OSR influye en el cero resonante de la NTF del modulador, y se han escogido dos valores pequeños diferentes de OSR (8 y 20) para no introducir mucha energía de cuantificación dentro del ancho de banda del sintetizador (ver apartado 2.1).

En la Tabla 2.2 se muestra un resumen de cuáles son los parámetros obtenidos para cada una de las estructuras junto con su NTF correspondiente.

Tabla 2.2 Parámetros obtenidos para los casos de estudio

Nombre del SD	SD estándar	SD 1*	SD 2*
a1	1	1.1233	0.7099
a2	1	0.4131	1.1136
a3	-	-	0.7516
b1	1	0.6232	0.5296
b2	0	0	0
b3	0	0	0
b4	-	-	0
c1	1	1.0094	1.3399
c2	1	1.5897	0.8937
c3	-	-	1.5770
g1	0	0.0081	0.1027
NTF	$NTF_s = (1 - z^{-1})^2$	$NTF_1 = \frac{(z^2 - 1.992z + 1)}{(z^2 + 0.4674z + 0.3433)}$	$NTF_2 = \frac{(z-1)(z^2 - 1.908z + 1)}{(z+0.3691)(z^2 - 0.5227z + 0.5018)}$

*NOTA: Posteriormente se verá como estos parámetros son modificados para su implementación.

En las siguientes figuras se muestra el esquema del modulador de segundo orden diseñado y el de tercer orden, donde los coeficientes que aparecen son los mostrados en la Tabla 2.2.

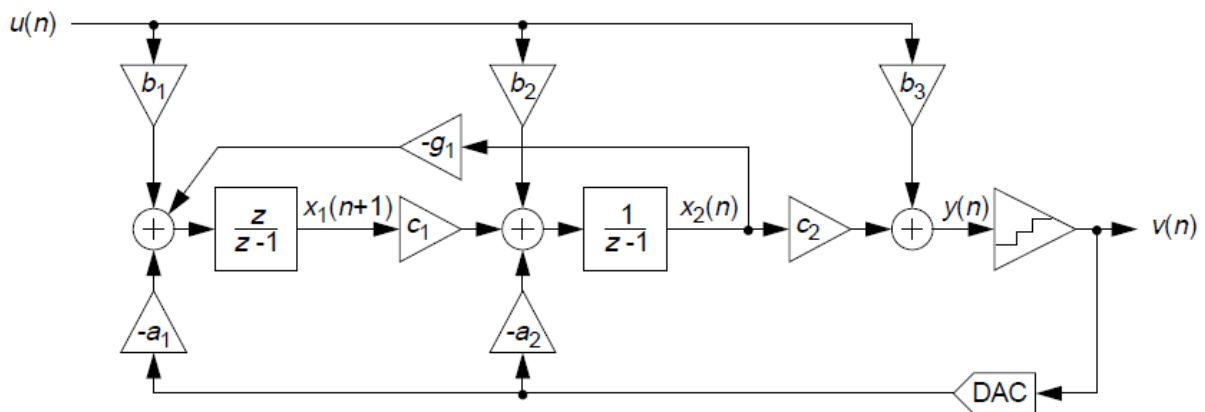


Figura 2.2 Modulador SD de segundo orden[10]

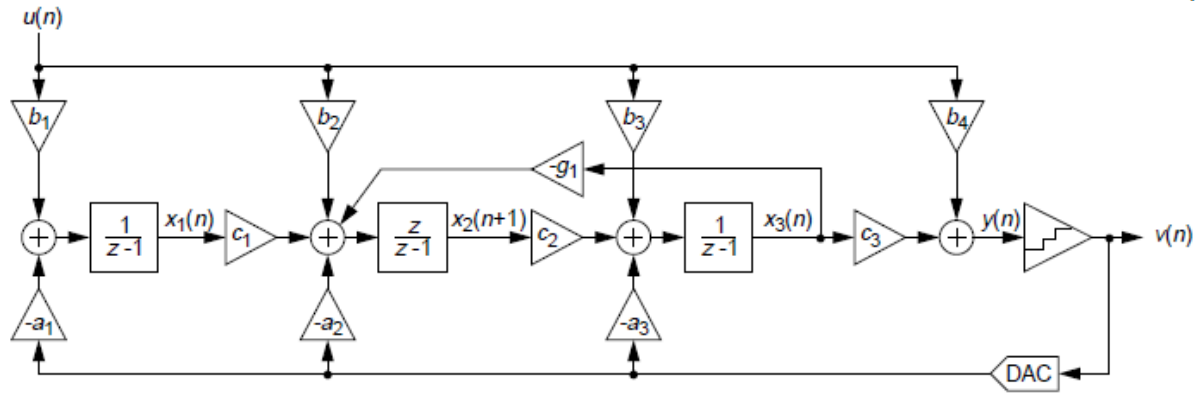


Figura 2.3 Modulador SD de tercer orden [11]

Una vez definidos por completo los tres casos, se va a pasar a explicar cuáles son los parámetros que se quieren evaluar para decidir cuál de estos modelos es más deseable para implementar nuestro sintetizador de frecuencia. Para ello se ha de visualizar primero el espectro de la señal de salida del sintetizador, pudiendo obtener las conclusiones según sea éste.

Después de obtenerlo se han de evaluar: el error en la síntesis de frecuencia, el nivel de ruido de fase y la distorsión que aparece en forma de tonos fraccionales tanto de la frecuencia de referencia como de la de salida. Una vez vistos estos tres parámetros, se ha de llegar a un consenso para decidir cuál es el sintetizador más aceptable.

2.1 Dimensionado de los elementos del circuito

A continuación se van a definir cuáles son las características de diseño que va a tomar cada uno de los elementos que aparecen en un sintetizador de frecuencia. Pero primero se han de diferenciar dos partes en el diseño: una estará implementada de forma digital mediante una FPGA, mientras que la otra se implementará de forma analógica. En la Figura 2.4 se muestran ambas partes, pudiéndose así ubicar cada uno de los elementos del sintetizador a medida que se van desarrollando.

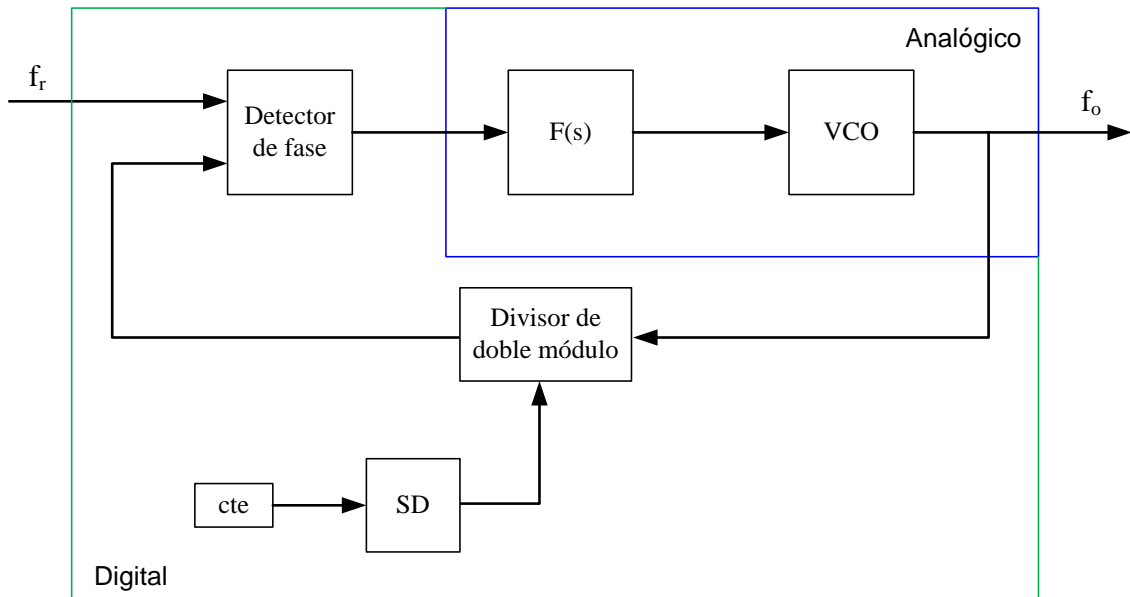


Figura 2.4 Bloque digital y bloque analógico del sintetizador de frecuencia

❖ Señal de referencia

A pesar de que el modelo diseñado de sintetizador de frecuencia es capaz de soportar frecuencias del orden de MHz se va a emplear una onda con una frecuencia de 35 KHz. Esto es debido a que, para una implementación más sencilla, se va a utilizar un VCO que no tolera tan altas frecuencias. Por lo tanto, la señal de referencia será una onda cuadrada con una tensión mínima de 0 V y una máxima de 15 V (3.3V cuando se conecta directamente con la FPGA), de frecuencia 35KHz y con un ciclo de trabajo del 50%.

❖ Filtro del lazo

Como se vio en el capítulo 1, existen diversos tipos de filtros que se pueden emplear en un sintetizador. En este caso, el escogido es un filtro RC paso bajo de primer orden como el de la Figura 1.20 Ejemplos de filtros paso bajo de primer orden. (a) y (b) filtros pasivos. (c) y (d) filtros activos. La nomenclatura que se emplea a partir de este momento para los componentes del filtro es la mostrada en los esquemáticos 1 y 2 del Anexo B.

Primero se ha de diseñar la frecuencia de corte del filtro. En función de la resistencia y el condensador se puede expresar como:

$$\omega_c = \frac{1}{R_3 C_2} \text{ (rad)}$$

A pesar de que se dijo en el capítulo 1 que esta frecuencia generalmente es entre un 1% y un 10% de la frecuencia de referencia, en este caso se va a necesitar una frecuencia de corte mucho más baja para que el VCO reciba una señal lo más continua posible y así obtener un mejor funcionamiento. Además, se ha de tener en cuenta que cuanto menor es esta frecuencia más lento es el filtro, por lo que tardará más en estabilizarse.

Finalmente, los valores escogidos para la resistencia y el condensador son los mostrados a continuación:

$$\begin{cases} R_3 = 6.2K\Omega \\ C_2 = 1\mu F \end{cases}$$

Teniendo en cuenta el tipo de filtro que se va a emplear, se puede calcular el ancho de banda (BW) del sintetizador de frecuencia en función del valor del divisor, N. Para ello se ha de considerar el diagrama de bloques del sintetizador de la Figura 2.5, donde se muestra la función de transferencia equivalente de cada bloque.

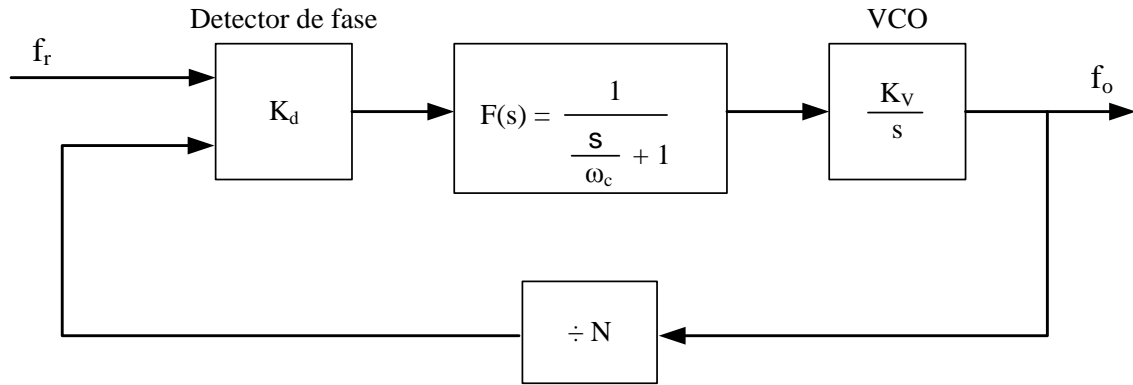


Figura 2.5 Diagrama de bloques del sintetizador de frecuencia para calcular el BW

La función de transferencia del lazo cerrado para el diagrama anterior es la siguiente:

$$\frac{\Phi_o}{\Phi_r} = \frac{f_o}{f_r} = \frac{K_d \cdot F(s) \cdot \frac{K_v}{s}}{1 + \frac{K_d \cdot F(s) \cdot \frac{K_v}{s}}{N}} = \frac{K_d \cdot F(s) \cdot K_v}{s + \frac{K_d \cdot F(s) \cdot K_v}{N}}$$

Sustituyendo en ella la función de transferencia del filtro $F(s) = \frac{1}{\frac{s}{\omega_c} + 1}$ se obtiene:

$$\frac{\Phi_o}{\Phi_r} = \frac{f_o}{f_r} = \frac{K_d \cdot K_v \cdot \frac{1}{\frac{s}{\omega_c} + 1}}{s + \frac{K_d \cdot K_v \cdot \frac{1}{\frac{s}{\omega_c} + 1}}{N}} = \frac{K_d \cdot K_v \cdot \omega_c}{s^2 + \omega_c \cdot s + \frac{K_d \cdot K_v \cdot \omega_c}{N}}$$

Esta función de transferencia es equivalente a la de un filtro paso bajo de segundo orden por lo que su frecuencia natural de los polos (ω_n) vendrá dada por la raíz cuadrada del término independiente del denominador y el factor de calidad se obtendrá del término que multiplica a “s” en el denominador. De esta manera se tiene:

$$\omega_n = \sqrt{\frac{K_d \cdot K_v \cdot \omega_c}{N}}$$

$$\frac{\omega_n}{Q} = \omega_c \Rightarrow Q = \frac{\sqrt{\frac{K_d \cdot K_v \cdot \omega_c}{N}}}{\omega_c} = \sqrt{\frac{K_d \cdot K_v}{N \cdot \omega_c}}$$

Aproximando como ancho de banda del sintetizador la frecuencia natural de los polos, se puede obtener gráficamente cómo varía éste en función del valor N del divisor, lo que se muestra en la Figura 2.6.

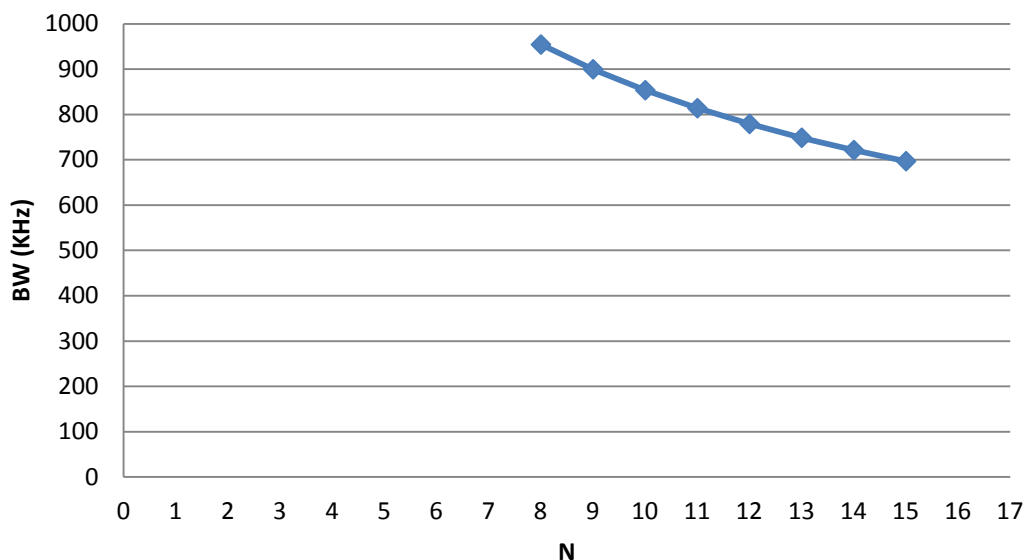


Figura 2.6 Ancho de banda del sintetizador en función de N

❖ Valores del divisor de frecuencia fraccional

Para poder obtener el espectro de la salida del SD lo más libre de tonos indeseados posible y, como consecuencia, un espectro de salida del VCO lo más limpio posible se ha incrementado el número de bits de salida del modulador SD hasta tres bits. Esto implica que el control del divisor de frecuencia se establece mediante el valor de estos tres bits, denominados ctl0, ctl1 y ctl2, como se muestra en el esquemático 3 del Anexo B. Por lo tanto, el divisor podrá tomar ocho valores diferentes de enteros consecutivos según los bits de control con una resolución de 35 KHz (que es la frecuencia de referencia) y, debido al efecto del SD, también podrá tomar los valores intermedios, mejorándose la resolución.

Para diseñar el divisor de frecuencia nos hemos basado en el que aparece en **¡Error!** No se encuentra el origen de la referencia., formado por tres divisores $\div 2/3$ de doble

módulo conectados de tal manera que el divisor total sea capaz de dividir entre valores de 8 a 15.

Además de poder lograr un rango amplio de frecuencias de salida debido a los valores que puede tomar N , también resulta interesante ya que es un divisor de tipo asíncrono. Este tipo de divisor es deseable ya que con él se logra un menor consumo de potencia al minimizar la cantidad de circuitería operando a altas frecuencias [11].

El diagrama de bloques es el que se muestra en el esquemático 7 del Anexo B, y cada una de sus tres etapas, según nuestro diseño, aparece en los esquemáticos del 8 al 10.

A continuación se muestra la Tabla 2.4, en la que se relacionan los valores de los tres bits de control con el valor que toma el divisor.

Tabla 2.3 Valor del divisor en función de los bits de control

<i>ctl2 ctl1 ctl0</i>	<i>N</i>
000	8
001	9
010	10
011	11
100	12
101	13
110	14
111	15

En la Figura 2.7 se muestra un ejemplo de simulación de la evolución de la señal de salida del divisor de frecuencia según varían los bits de control. Como se puede apreciar, a medida que va aumentando el valor de N , va disminuyendo gradualmente la frecuencia de la señal y, a su vez, aumentando el ciclo de trabajo.

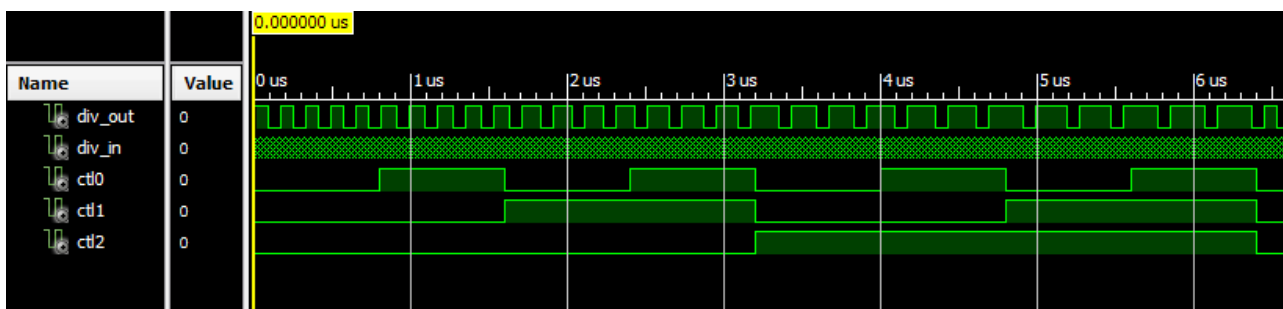


Figura 2.7 Evolución de la señal de salida del divisor de frecuencia en función de N

❖ VCO

El VCO empleado para la implementación será el que se encuentra en el encapsulado CD4046BC. Éste está constituido como un bloque con su entrada y su salida; pero además dispone de otras cuatro entradas a las que van conectadas dos resistencias y un condensador, tal como indica su hoja de características, de manera que con ellas se pueda controlar su rango de frecuencias de oscilación. En la Figura 2.8 se muestra el diagrama de bloques del

encapsulado, que aparece en el catálogo, donde se puede apreciar cómo se han de conectar estos componentes.

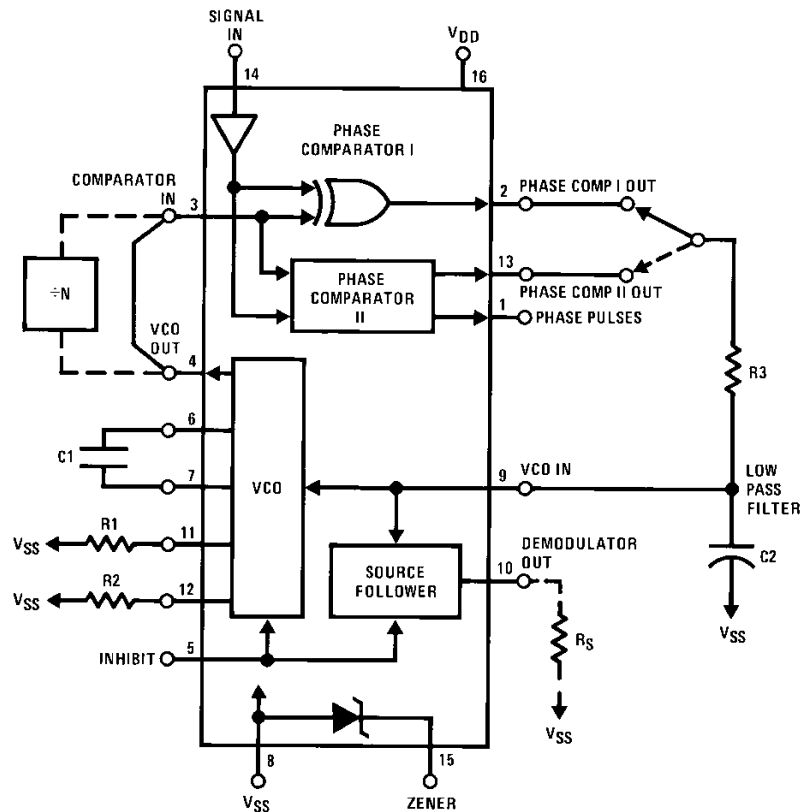


Figura 2.8 Diagrama de bloques del encapsulado CD4046BC

Ahora se va a proceder al cálculo del valor de estos tres componentes según las características escogidas para nuestro caso. Para ello se necesita conocer el rango de frecuencias de oscilación del VCO, dado por una frecuencia máxima y otra mínima.

Teniendo en cuenta que el divisor de frecuencia puede tomar valores entre 8 y 15 y que la frecuencia de referencia tiene un valor de 35 KHz, las frecuencias máxima y mínima a las que ha de poder oscilar el VCO han de ser:

$$\begin{cases} f_{\text{omáx}} = 8.35\text{KHz} = 280\text{KHz} \\ f_{\text{omín}} = 15.35\text{KHz} = 525\text{KHz} \end{cases}$$

Por lo tanto, según las figuras 6 y 7 de la hoja de características, los valores de los componentes han de ser los siguientes:

$$\begin{cases} C1 = 600\text{pF} \\ R1 = 10\text{K}\Omega \\ R2 = 10\text{K}\Omega \end{cases}$$

❖ Constante de entrada del SD

La constante de entrada al SD es la que se emplea para seleccionar diferentes valores del divisor de frecuencia entre 8 y 15, ya sean enteros o fraccionales, como ya se comentó anteriormente. Su valor vendrá dado por una palabra digital de 16 bits para así poder tener la resolución suficiente en la elección de los divisores.

En el Anexo B se muestran todos los esquemáticos que forman el sintetizador de frecuencia, desde el circuito completo hasta el bloque más sencillo. En el esquemático general se muestran otros elementos que no han sido comentados hasta el momento, como son los encapsulados CD4066BC y LM311. El primero de ellos se emplea para disminuir el rango de tensión desde 0 a 15V hasta 0 a 3.3V, que es el admitido por los pines de la FPGA según su manual [12]. El segundo de ellos es un comparador de tensión que se emplea para cumplir el objetivo contrario al elemento anterior, es decir, aumentar el rango de tensión.

Por otro lado, los valores de cada uno de los elementos dimensionados se muestran en la Tabla 2.44, junto con las frecuencias que se van a emplear.

Tabla 2.4 Resumen de los parámetros de diseño

f_{ref}	$f_{om\acute{a}x}$	$f_{om\acute{i}n}$	C_1
35 KHz	280 KHz	525 KHz	600 pF
R_1	R_2	C_2	R_3
10 K Ω	10 K Ω	1 μ F	6.2 K Ω

3 Modelado de un sintetizador de frecuencia fraccional

En este capítulo se va a explicar cómo se ha obtenido un modelo de sintetizador de frecuencia en Simulink para poder realizar simulaciones y evaluar distintos parámetros. Después se analizarán diferentes ejemplos de simulación que resultan interesantes.

3.1 Descripción de la plataforma de simulación y de los modelos empleados

Los modelos de simulación se van a desarrollar en un entorno de programación visual que funciona sobre Matlab denominado Simulink. En él se pueden construir los modelos que se deseen mediante bloques de diferentes tipos. El modelo que se ha obtenido para el sintetizador de frecuencia fraccional con un SD de tres bits es el que se muestra en la Figura 3.1. A continuación se explicarán brevemente cada uno de sus elementos.

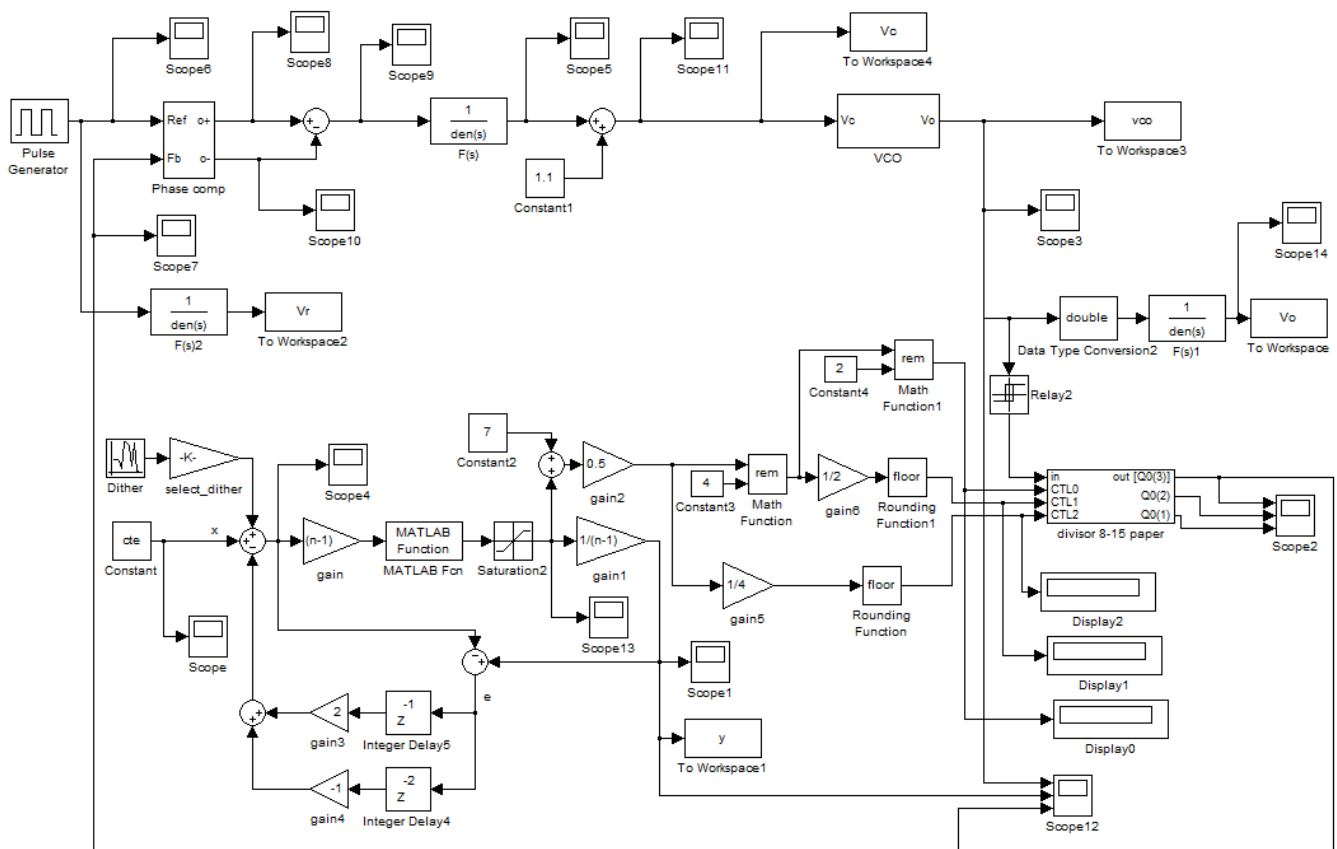


Figura 3.1 Modelo del sintetizador de frecuencia en Simulink

El detector de fase-frecuencia (Phase comp en el modelo) es el que se explicó en la introducción en el apartado 1.2.1.3, cuyo modelo se muestra en la Figura 3.2. Tras éste aparece la bomba de carga modelada como un restador, que efectúa la operación ($q_1 - q_2$).

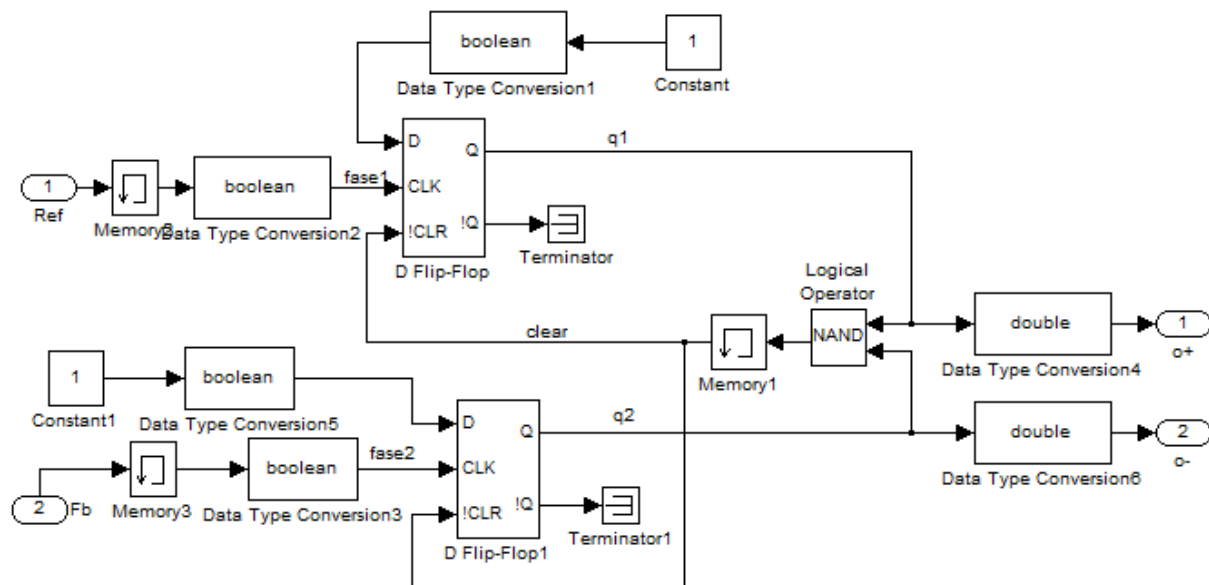


Figura 3.2 Modelo de detector de fase-frecuencia en Simulink

En la siguiente figura se muestra un ejemplo de simulación de este detector para dos señales de entrada desfasadas entre sí, phase1 y phase2. Como se puede observar, esto coincide con lo que se había explicado teóricamente en apartados anteriores.

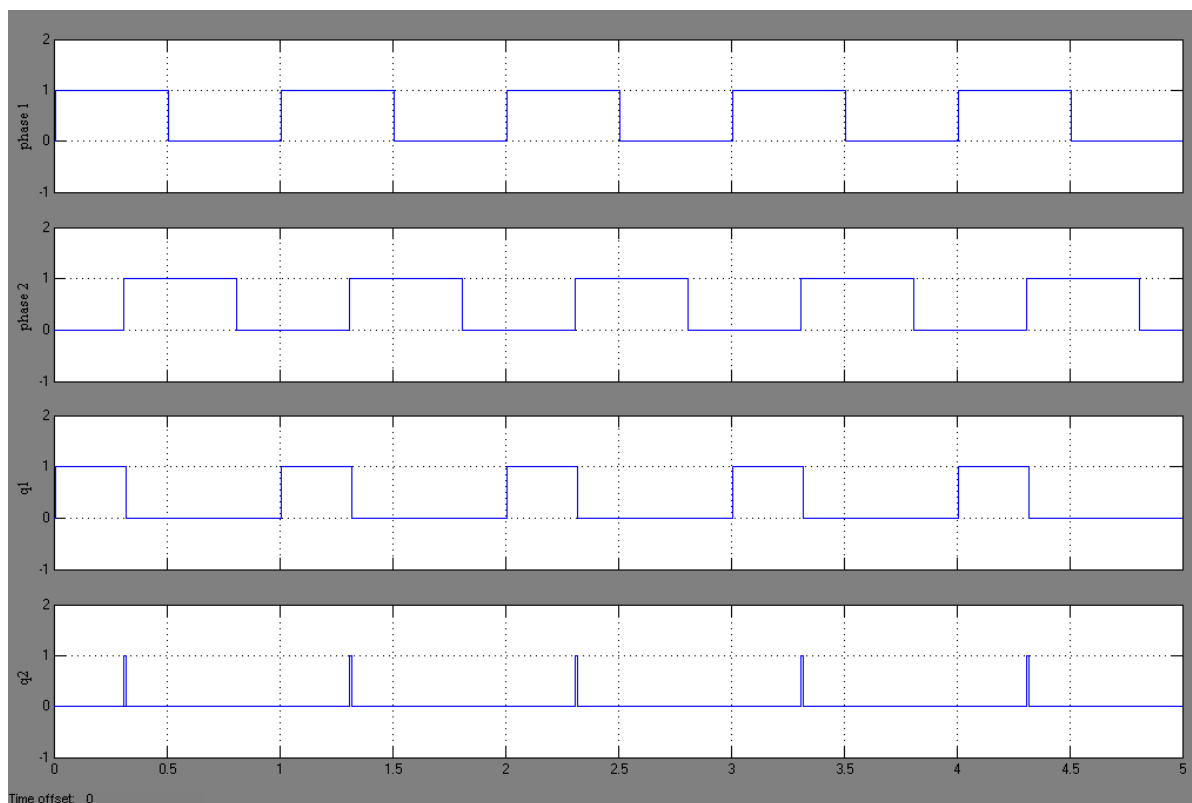


Figura 3.3 Ejemplo de simulación del detector de fase-frecuencia

Después de éste se encuentra el filtro del lazo representado por su función de transferencia $F(s)$. Éste es un filtro paso bajo RC de primer orden como el mostrado en la Figura 1.20 (b), cuya frecuencia de corte, en este caso, es un 5% de la frecuencia de referencia y su función de transferencia es:

$$F(s) = \frac{1}{sRC + 1}$$

Tras el filtro del lazo se encuentra el VCO. Para obtener el modelo en Simulink del VCO se va a analizar eléctricamente el esquema del oscilador de relajación mostrado en la Figura 3.4, donde la capacidad del condensador varía con la tensión.

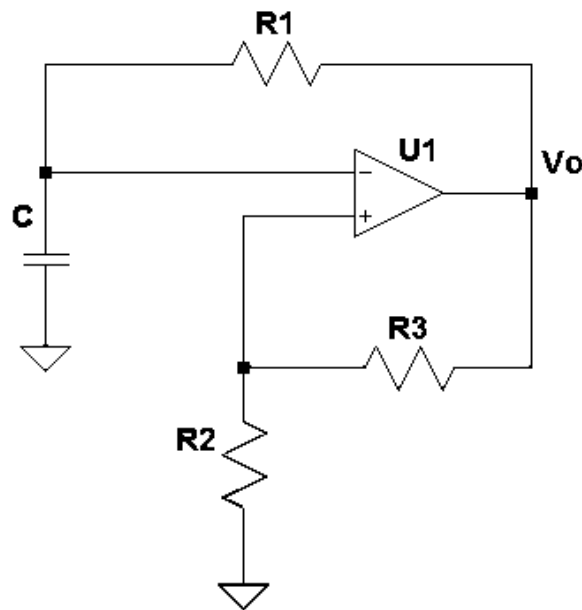


Figura 3.4 Esquema del oscilador de relajación con C variable

Para el modelado, se puede considerar que este oscilador es equivalente a un filtro RC, donde la capacidad de C depende de la tensión, y un comparador con histéresis con valores máximo y mínimo de +1 y -1, respectivamente, y con transición en +0.5 y -0.5. En la Figura 3.5 Esquema de partida del VCO se muestra este esquema.

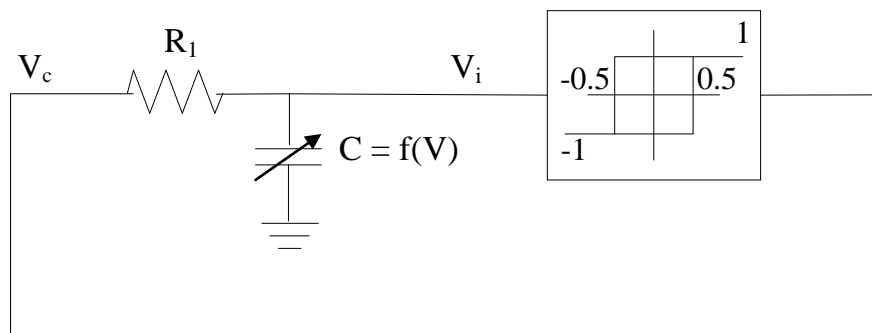


Figura 3.5 Esquema de partida del VCO

Ahora ha de verse cómo se puede representar este esquema en Simulink. Primero se ha de obtener la ecuación diferencial del filtro, como se muestra a continuación:

$$\left. \begin{array}{l} V_i = \frac{1}{C} \int i(t) dt \quad (1) \\ i(t) = \frac{V_c - V_i}{R_1} \quad (2) \end{array} \right\} \text{Sustituyendo (2) en (1) se obtiene: } V_i = \frac{1}{C} \int \frac{V_c - V_i}{R_1} dt \Rightarrow$$

$$V_i = \frac{1}{R_1 \cdot C} \int (V_c - V_i) dt$$

Además, como se dijo en el primer capítulo, la frecuencia de salida del VCO es proporcional a su tensión de entrada V_c más una constante:

$$f_{(V_o)} = K_{VCO} \cdot V_c + f_{\min}$$

A efectos de cálculo, se considerará la proporcionalidad entre f y V_c ; añadiéndose la constante más adelante para que el VCO oscile a una frecuencia determinada cuando la tensión V_c valga cero.

Por otro lado se ha de calcular la frecuencia de oscilación del oscilador de relajación mediante la ecuación diferencial correspondiente al esquema de la Figura 3.4. La ecuación diferencial es la siguiente:

$$\frac{dV_-(t)}{dt} + \frac{V_-}{R_1 \cdot C} = \frac{V_o}{R_1 \cdot C}$$

Donde V_- es la tensión en el terminal negativo del amplificador y V_o es la tensión de salida del oscilador.

Considerando la solución genérica de la ecuación anterior para unas condiciones iniciales apropiadas:

$$V_- = V_{dd} \left(1 - \frac{3}{2} e^{\frac{-t}{R_1 \cdot C}} \right)$$

se puede obtener el valor de la frecuencia de oscilación fácilmente sustituyendo la condición $V_-(T/2) = \frac{V_{dd}}{2}$.

Entonces:

$$V_-(T/2) = \frac{V_{dd}}{2} = V_{dd} \left(1 - \frac{3}{2} e^{\frac{-T/2}{R_1 \cdot C}} \right) \Rightarrow f_{osc} = \frac{1}{2 \cdot \ln(3) \cdot R_1 \cdot C}$$

Teniendo en cuenta las ecuaciones obtenidas anteriormente y mostradas a continuación:

$$\begin{cases} V_i = \frac{1}{R_1 \cdot C} \int (V_c - V_i) dt \\ f_{(V_o)} = K_{VCO} \cdot V_c \\ f_{osc} = \frac{1}{2 \cdot \ln(3) \cdot R_1 \cdot C} \end{cases}$$

operando se puede obtener que $V_i = 2 \cdot \ln(3) \cdot K_{VCO} \cdot V_c \int (V_c - V_i) dt$, dando lugar al diagrama de bloques implementado en Simulink mostrado en la Figura 3.6.

Además se ha añadido al modelo la posibilidad de incluir o no ruido de fase mediante `select_phase_noise`. La aplicación de esta elección se explicará más adelante.

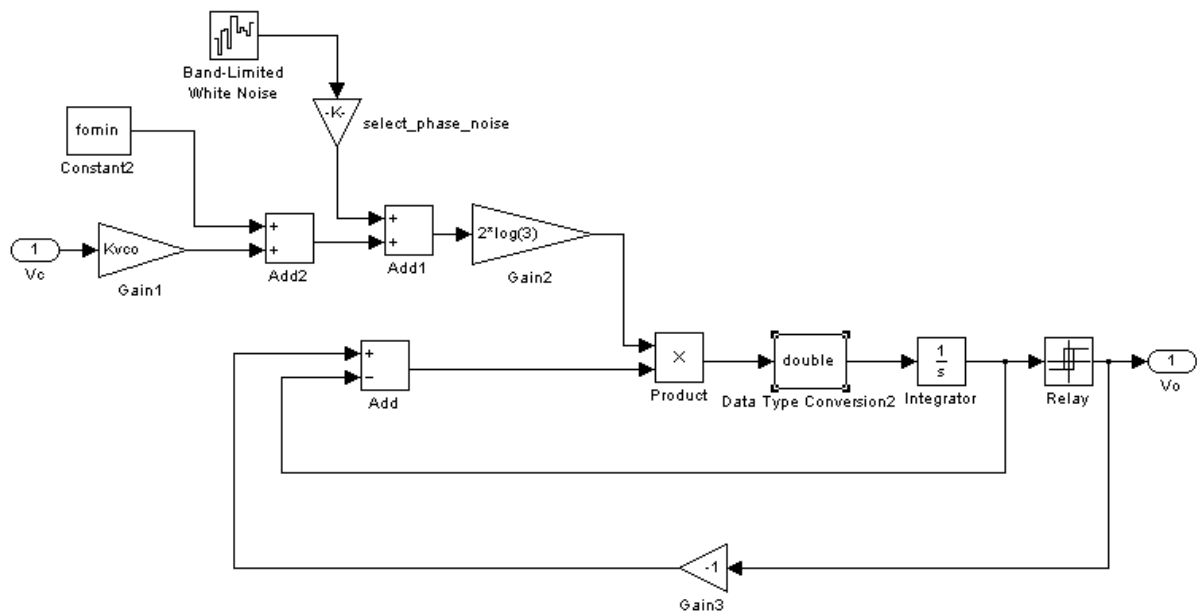


Figura 3.6 Modelo del VCO en Simulink

Simulando el modelo obtenido, para valores genéricos, se obtiene el resultado mostrado en la Figura 3.7, donde la frecuencia de la señal de salida depende de la tensión de control del VCO, V_c .

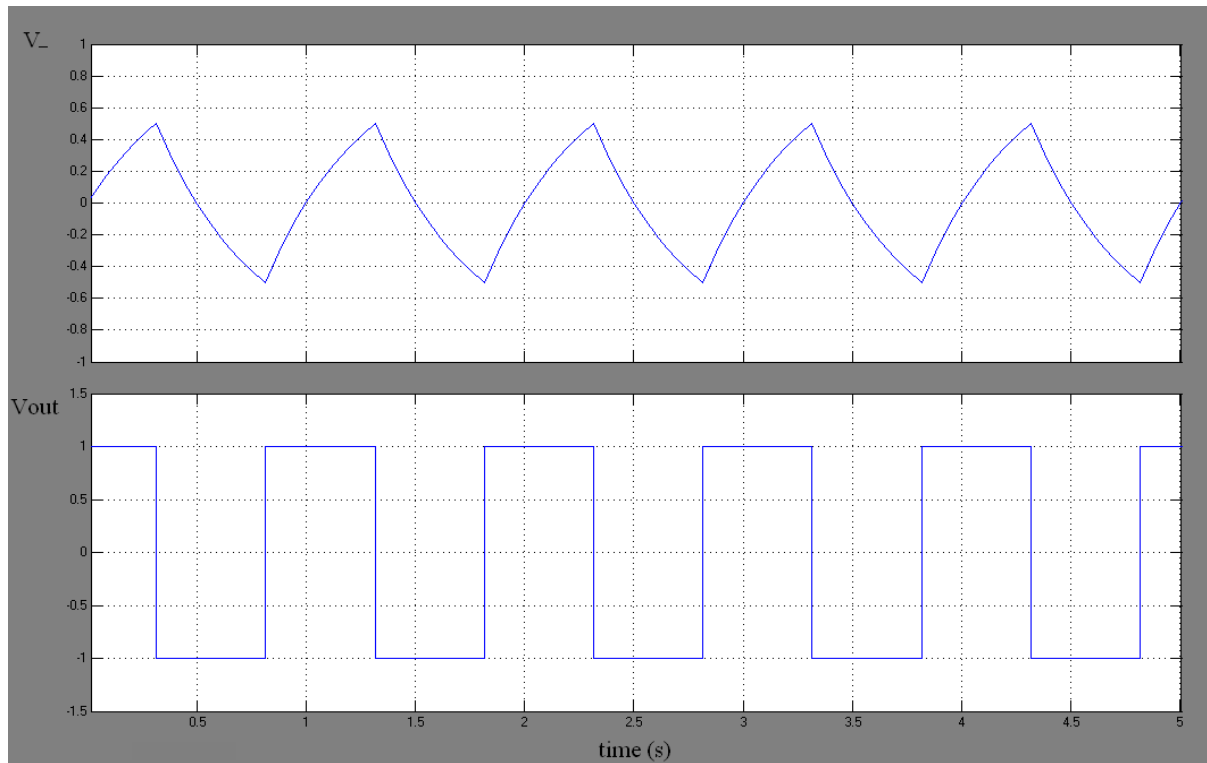


Figura 3.7 Ejemplo de simulación del modelo en Simulink del VCO

Después del VCO se encuentra el divisor de frecuencia, que es el explicado en el apartado anterior. Su modelo en Simulink es el de la Figura 3.8.

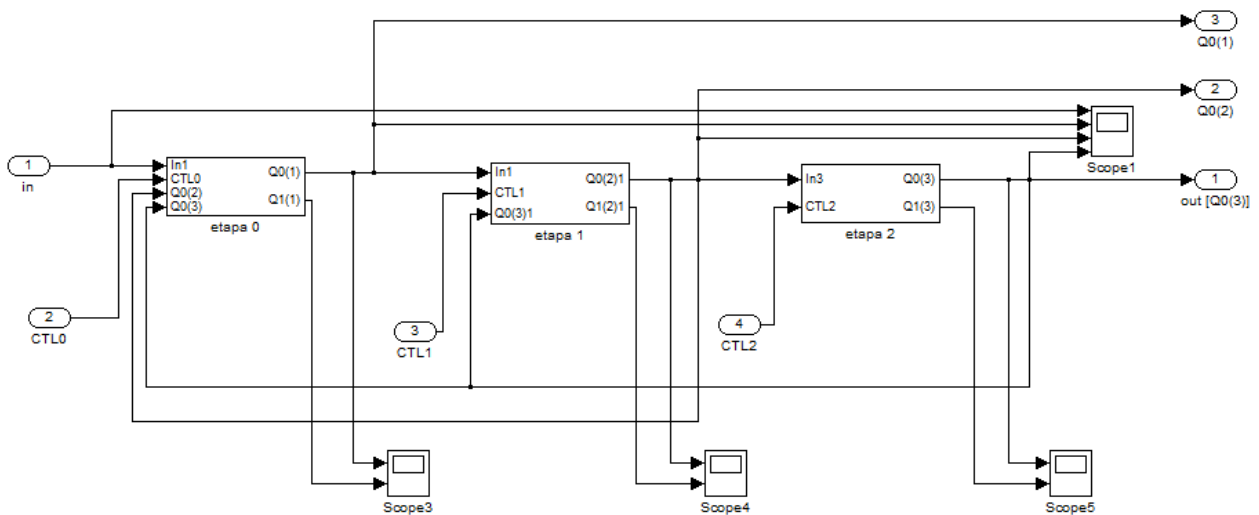


Figura 3.8 Modelo del divisor de frecuencia en Simulink

Los modelos de cada una de las tres etapas que forman este divisor son los mostrados en las siguientes figuras.

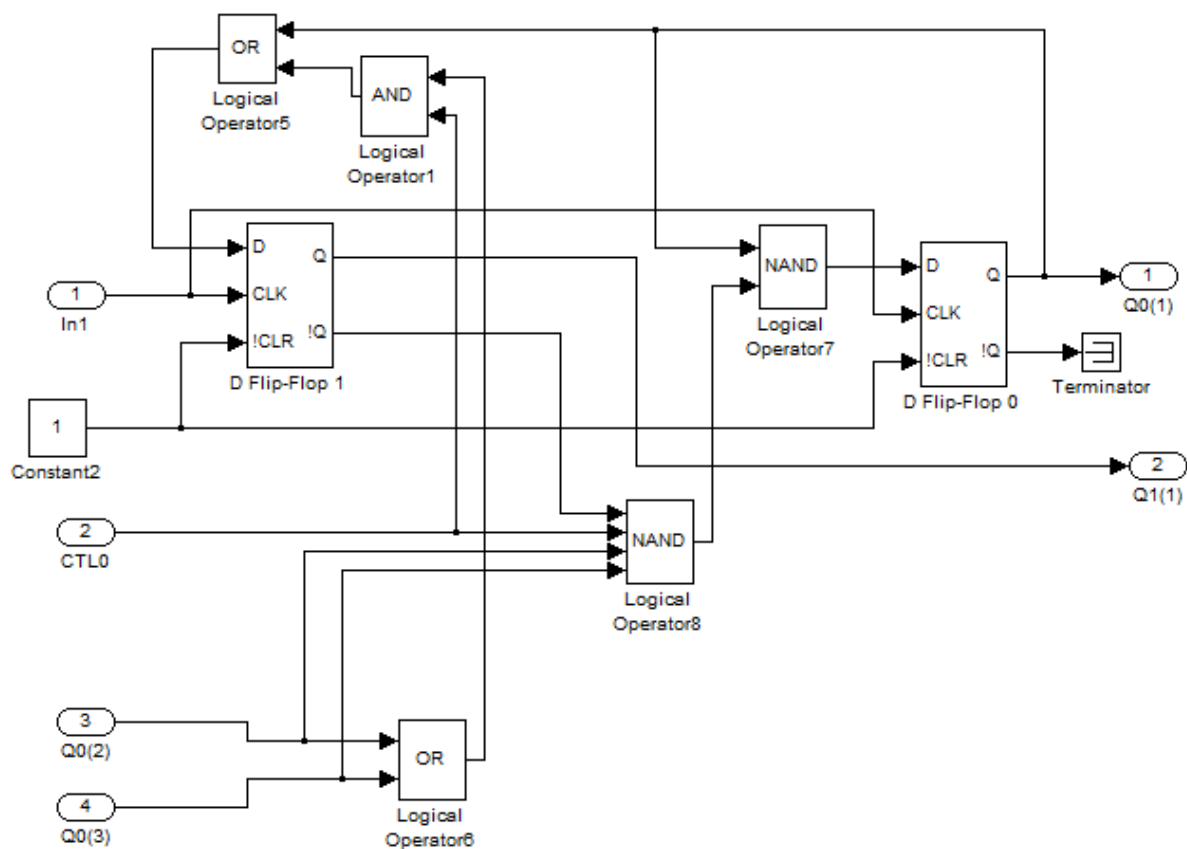


Figura 3.9 Modelo de la etapa 0 del divisor de frecuencia en Simulink

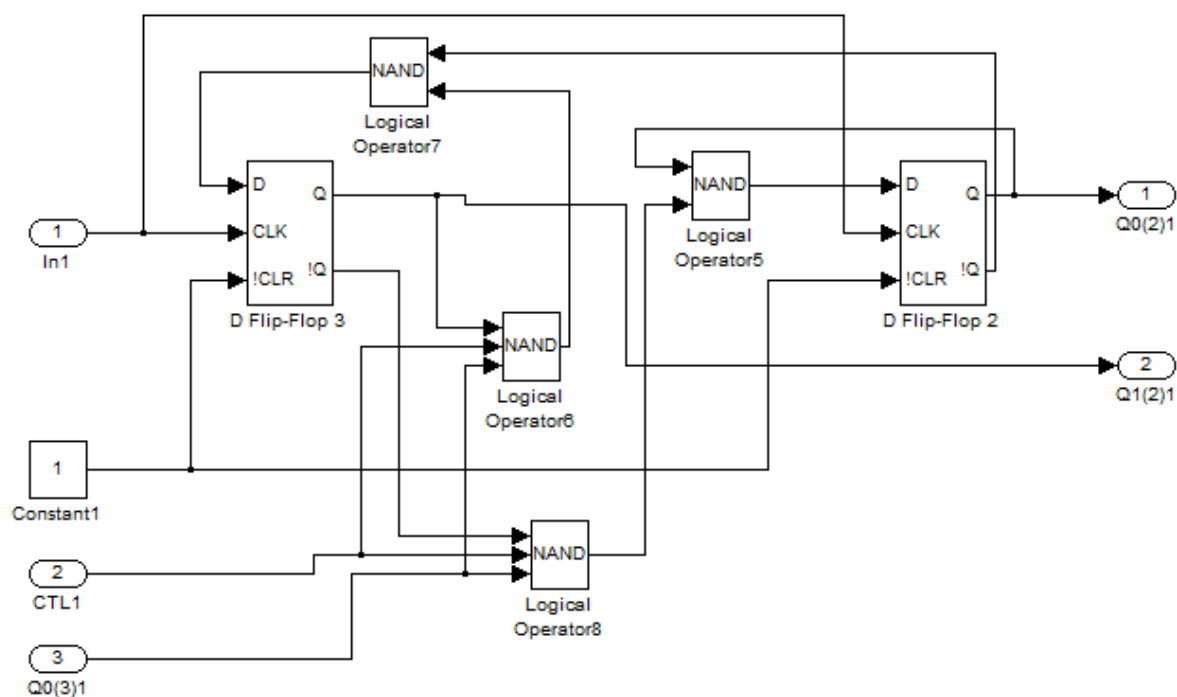


Figura 3.10 Modelo de la etapa 1 del divisor de frecuencia en Simulink

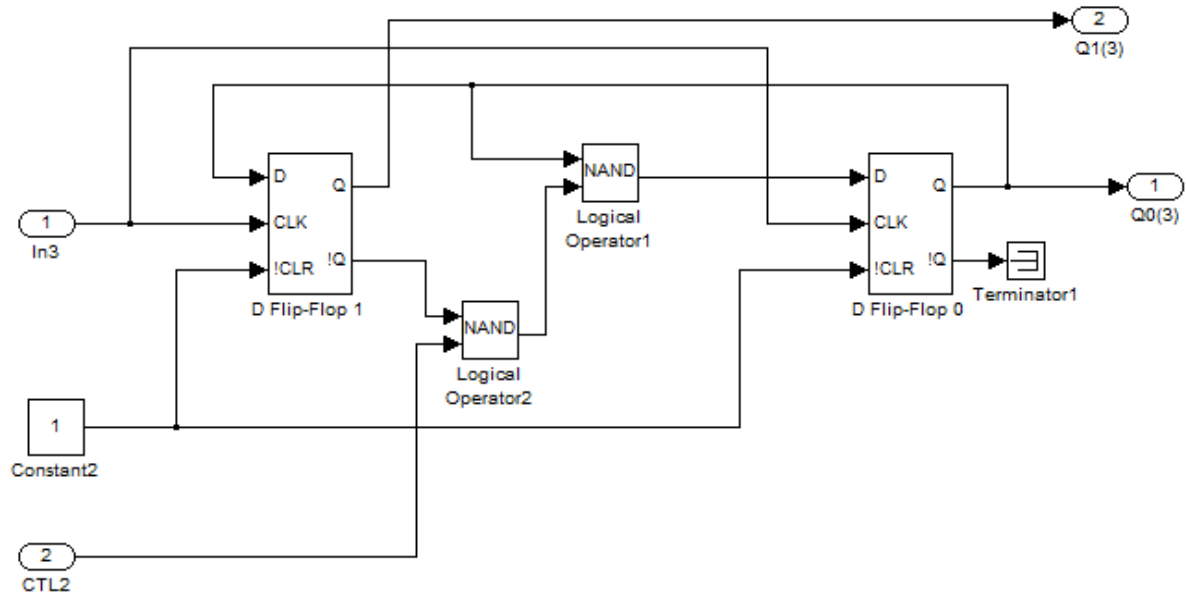


Figura 3.11 Modelo de la etapa 2 del divisor de frecuencia en Simulink

Como se explicó anteriormente, este divisor está controlado por tres bits $ctl2$, $ctl1$ y $ctl0$. Éstos pueden fijarse a un valor concreto provocando así un valor fijo del divisor (esto se podrá ver más adelante en un ejemplo) o pueden venir dados por un modulador SD. En el caso de los tres bits fijos no hay nada que explicar. Sin embargo, en el caso del SD ha de verse cuál va a ser el modelo en Simulink a emplear.

En los ejemplos de simulación que se van a mostrar en este capítulo, el modulador a utilizar es un SD de segundo orden denominado como estructura de error realimentado (error feedback structure) [7], ya que esta topología es la más apropiada para SD digitales [13]. Aunque el SD que se va a emplear es de tres bits, primero se verá el modelo de un bit, que es el que se muestra en la Figura 3.12.

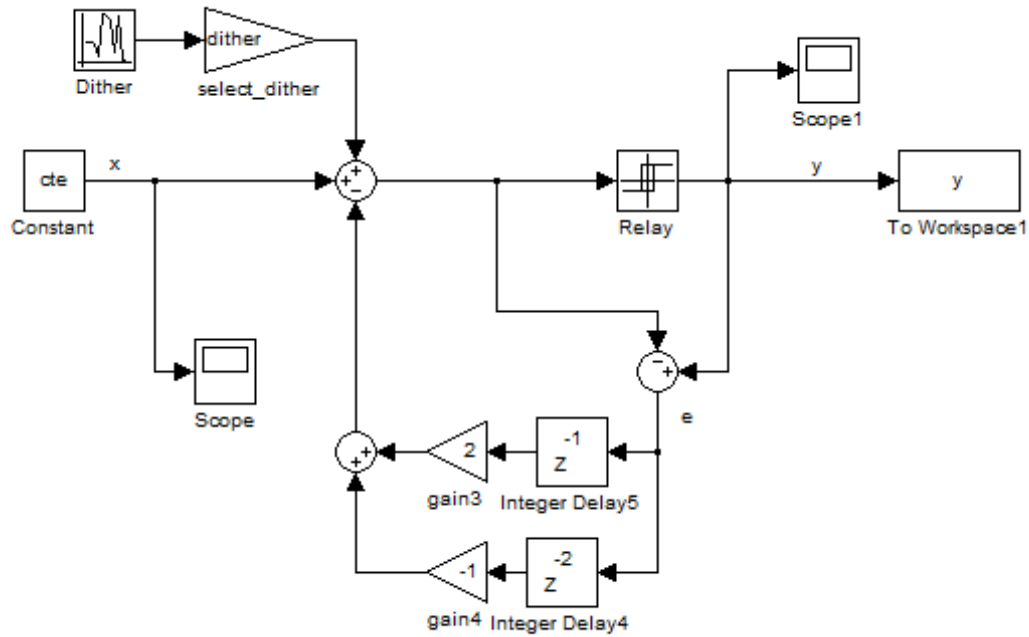


Figura 3.12 Modelo de SD con estructura de error realimentado en Simulink

Para esta topología las funciones de transferencia NTF y STF son las que aparecen a continuación:

$$\text{STF} = \frac{y(z)}{x(z)} = 1 \qquad \text{NTF} = \frac{y(z)}{e(z)} = (1 - z^{-1})$$

Además, en este modelo aparece añadida una señal aleatoria (cuyo espectro es de tipo ruido-blanco) denominada dither, que se podrá seleccionar o no según el valor de select_dither. Éste permite mejorar la calidad del SD disminuyendo la cantidad de tonos no deseados que aparecen o, al menos, disminuyendo su potencia [7]. Hay que tener especial cuidado con la potencia del dither que se añade ya que, si ésta es demasiado elevada, podría aparecer un suelo de ruido demasiado alto, provocando la disminución de la SNR.

Ahora se va a sustituir el cuantificador del SD de un bit representado por el bloque “relay” por un cuantificador adecuado para el SD de tres bits, y además han de obtenerse los tres bits de control del divisor de frecuencia.

El cuantificador que se quiere obtener es de tres bits y, por lo tanto, debe tener ocho niveles. El que está diseñado en los bloques de Simulink no sirve ya que, al utilizar también el nivel cero, posee nueve niveles y no los ocho necesarios. Así que debemos diseñar nuestro propio cuantificador. Éste se va a basar en la función “ds_quantize” de [10].

Antes del cuantificador del modelo de un bit se tiene una señal que toma valores entre -1 y +1. Empleando una ganancia de valor (n-1), siendo n el número de niveles del cuantificador, y un bloque con la siguiente función: $\text{Fcn} = 2 \cdot \text{floor}(0.5 \cdot u) + 1$, donde u es la entrada a esta función, se consigue que la señal a la salida de la función tome todos los valores impares entre -7 y +7. Después se coloca un bloque de saturación para evitar que la señal

tome valores fuera de ese rango. Tras esto se divide por $(n-1)$ para que la señal vuelva a estar en el rango de -1 a $+1$, adquiriendo así la salida del SD.

Para obtener los tres bits de control primero ha de sumarse el valor 7 y posteriormente dividir entre 2 la salida del bloque de saturación. El valor obtenido tras esto ha de transformarse a binario, como se mostrará en el modelo, alcanzando así los tres bits de control.

En la Figura 3.13 se muestra el modelo obtenido para este modulador de tres bits junto con la obtención de los bits de control $ctl0$, $ctl1$ y $ctl2$.

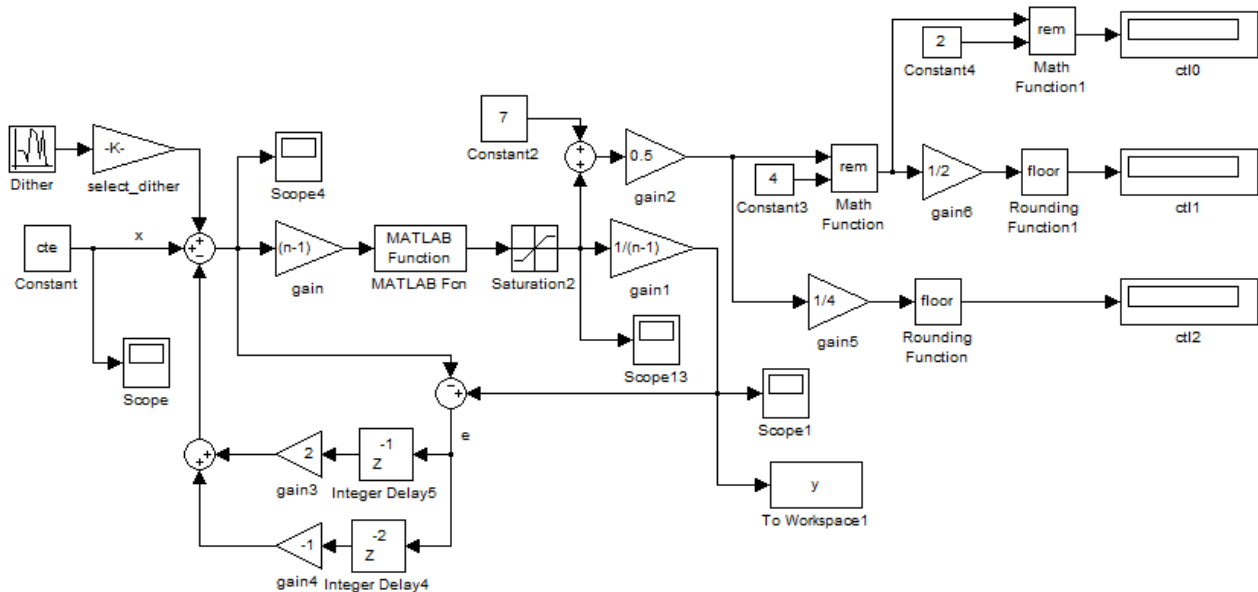


Figura 3.13 Modelo del SD de 3 bits con estructura de error realimentado

Además del modelo de sintetizador de la Figura 3.1 se va a emplear otro modelo de sintetizador para realizar uno de los ejemplos que aparecerán a continuación. Éste es idéntico al modelo anterior con la salvedad de que, en lugar de controlar el valor de N con un SD, se hará mediante tres bits fijados manualmente según el divisor entero requerido en cada momento. En la Figura 3.14 se muestra este modelo.

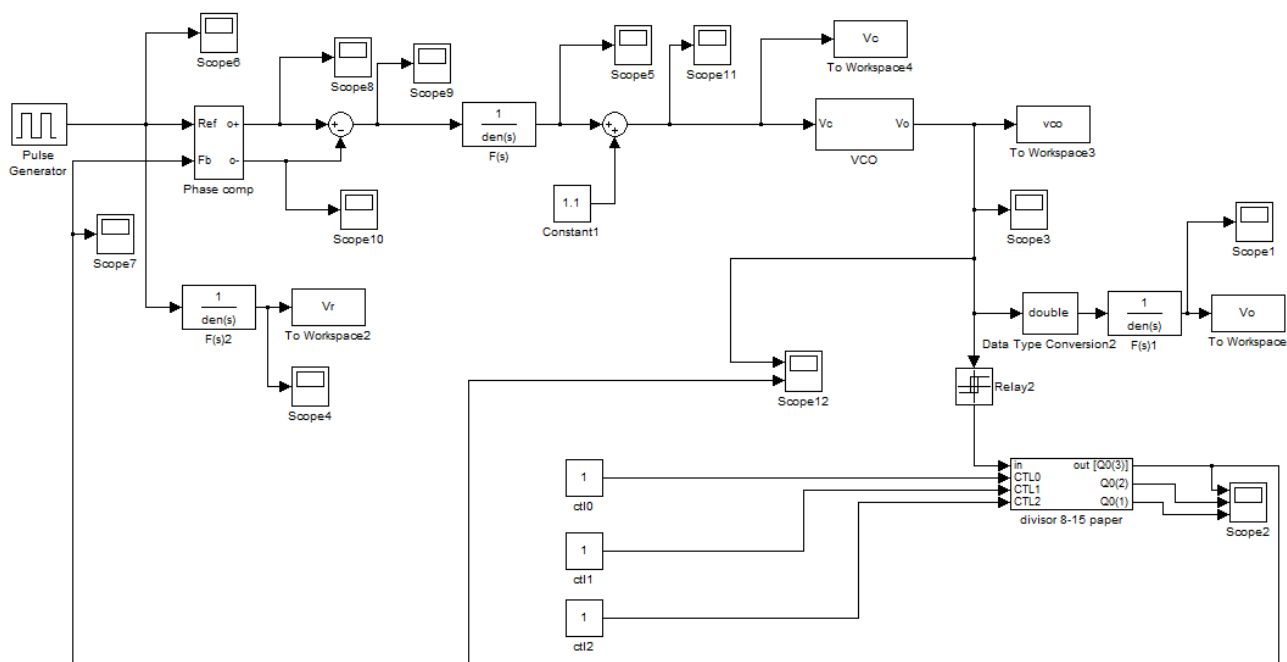


Figura 3.14 Modelo del sintetizador de frecuencia con bits de control fijos

A continuación se van a mostrar los modelos de los SD empleados en los casos de estudio: SD estándar de segundo orden, SD 1 de segundo orden y SD 2 de tercer orden, donde los valores de los coeficientes son los que aparecen en la Tabla 2.2.

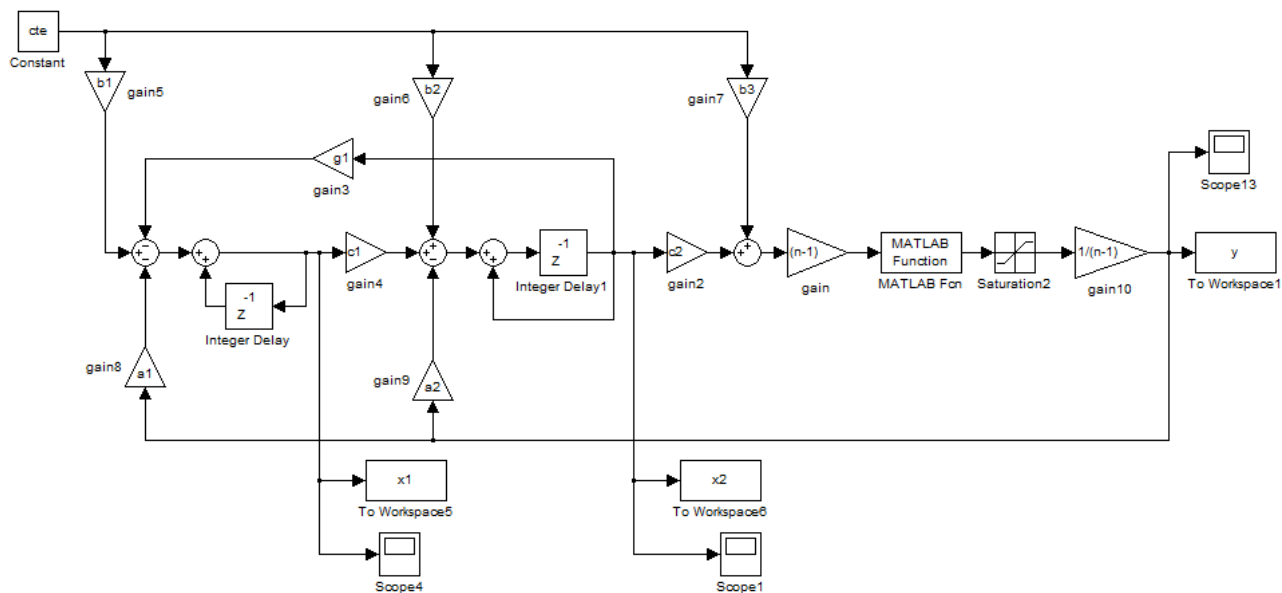


Figura 3.15 Modelo de SD de segundo orden para los casos de estudio en Simulink

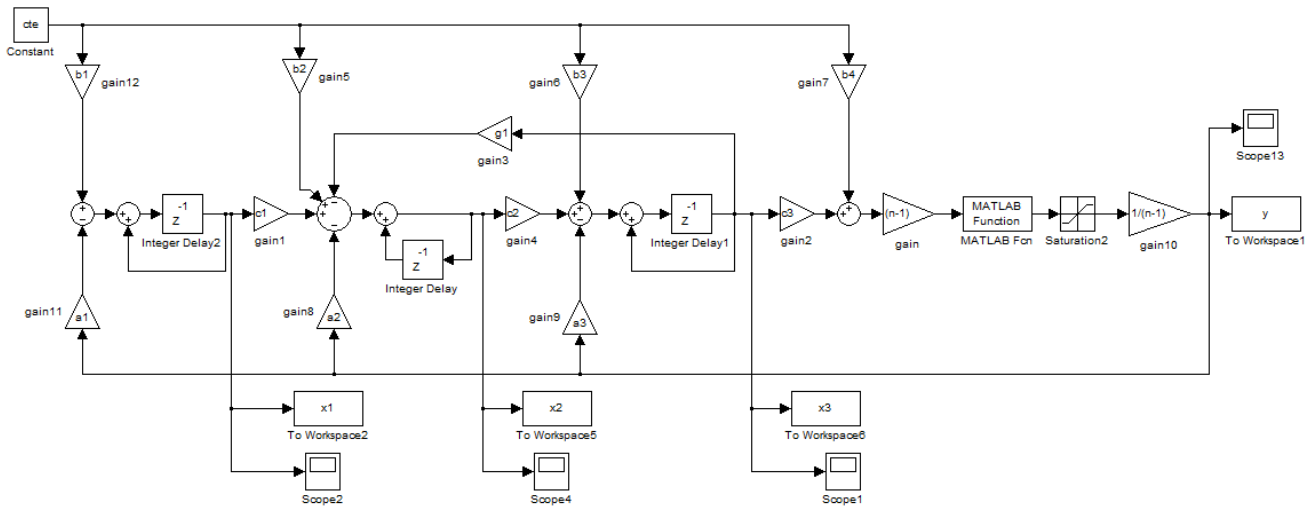


Figura 3.16 Modelo de SD de tercer orden para los casos de estudio en Simulink

Partiendo de lo desarrollado durante este apartado se pueden realizar los ejemplos de simulación necesarios para mostrar el funcionamiento del modelo obtenido del sintetizador de frecuencia fraccional de tipo SD. Para la realización de estos ejemplos se va a emplear una frecuencia de referencia de 8 MHz.

3.2 Ejemplo de simulación 1: efecto del ruido de fase en el VCO

En este ejemplo se va a evaluar el efecto del ruido de fase en el VCO de los modelos explicados al inicio de este capítulo.

Primero se evaluará en el VCO en bucle abierto, como el mostrado en la Figura 3.6 y, posteriormente, en bucle cerrado para el modelo completo del sintetizador de la Figura 3.1.

Hay que tener en cuenta que, en estos modelos, el ruido de fase está añadido en frecuencia, como se observa en la Figura 3.6, luego éste debe expresarse como un porcentaje de una frecuencia, en este caso, la máxima de salida del VCO, como por ejemplo $\text{noise_power} = 1e-8 * f_{\text{omax}}$.

3.2.1 Ejemplo 1(a): efecto del ruido de fase en el VCO en bucle abierto

En este ejemplo se va a simular el VCO en bucle abierto para diferentes potencias de ruido de fase, viendo en el espectro de salida cuales son los resultados obtenidos.

A continuación se procede a mostrar dos simulaciones con potencias de ruido diferentes. La primera de ellas es para una potencia de valor $10^{-6} * f_{om\acute{a}x}$, mientras que la segunda se realiza para una potencia mayor, de valor $10^{-5} * f_{om\acute{a}x}$. En la Figura 3.17 se muestran ambos resultados.

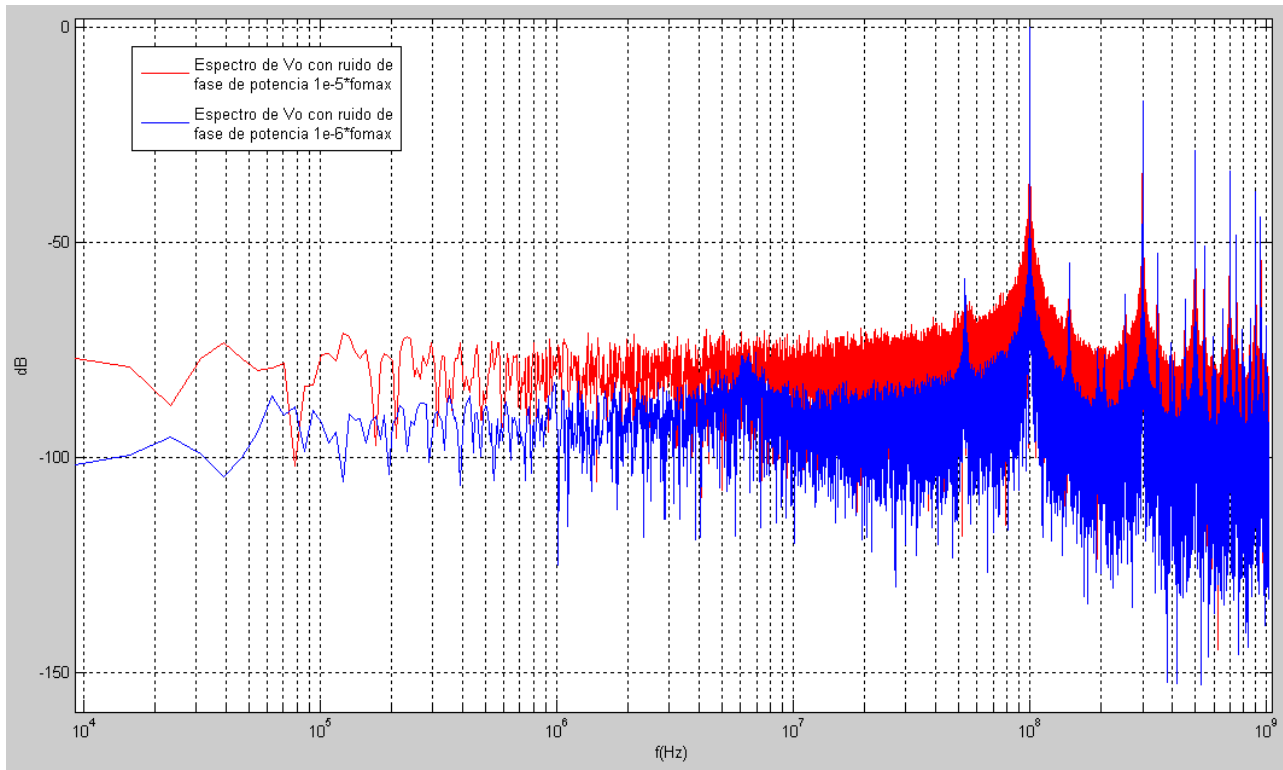


Figura 3.17 Comparación del espectro del VCO en bucle abierto para dos potencias de ruido diferentes

Como se puede observar, el tono principal está en una frecuencia de 100 MHz. Además, los tonos de distorsión que aparecen disminuyen al aumentar la potencia del ruido de fase. El tono más cercano a una frecuencia inferior ha disminuido desde un valor de -58.5 dB, cuando el ruido de fase es de $10^{-6} * f_{om\acute{a}x}$, a un valor de -62.3 dB, cuando es de $10^{-5} * f_{om\acute{a}x}$.

Por otro lado aparece un suelo de ruido en, aproximadamente, -80 dB. Éste es debido a la inclusión del ruido de fase para mejorar la distorsión.

3.2.2Ejemplo 1(b): efecto del ruido de fase en el VCO en bucle cerrado

En este apartado se va a comparar como afecta el ruido de fase en bucle abierto y en bucle cerrado.

En la Figura 3.18 se muestra el espectro de salida del VCO en bucle abierto y en bucle cerrado para una potencia de ruido de fase de $10^{-6} * f_{om\acute{a}x}$. Para poder comparar ambas simulaciones se han seleccionado los parámetros correspondientes de tal manera que la frecuencia de salida de oscilación sea la misma en ambos casos.

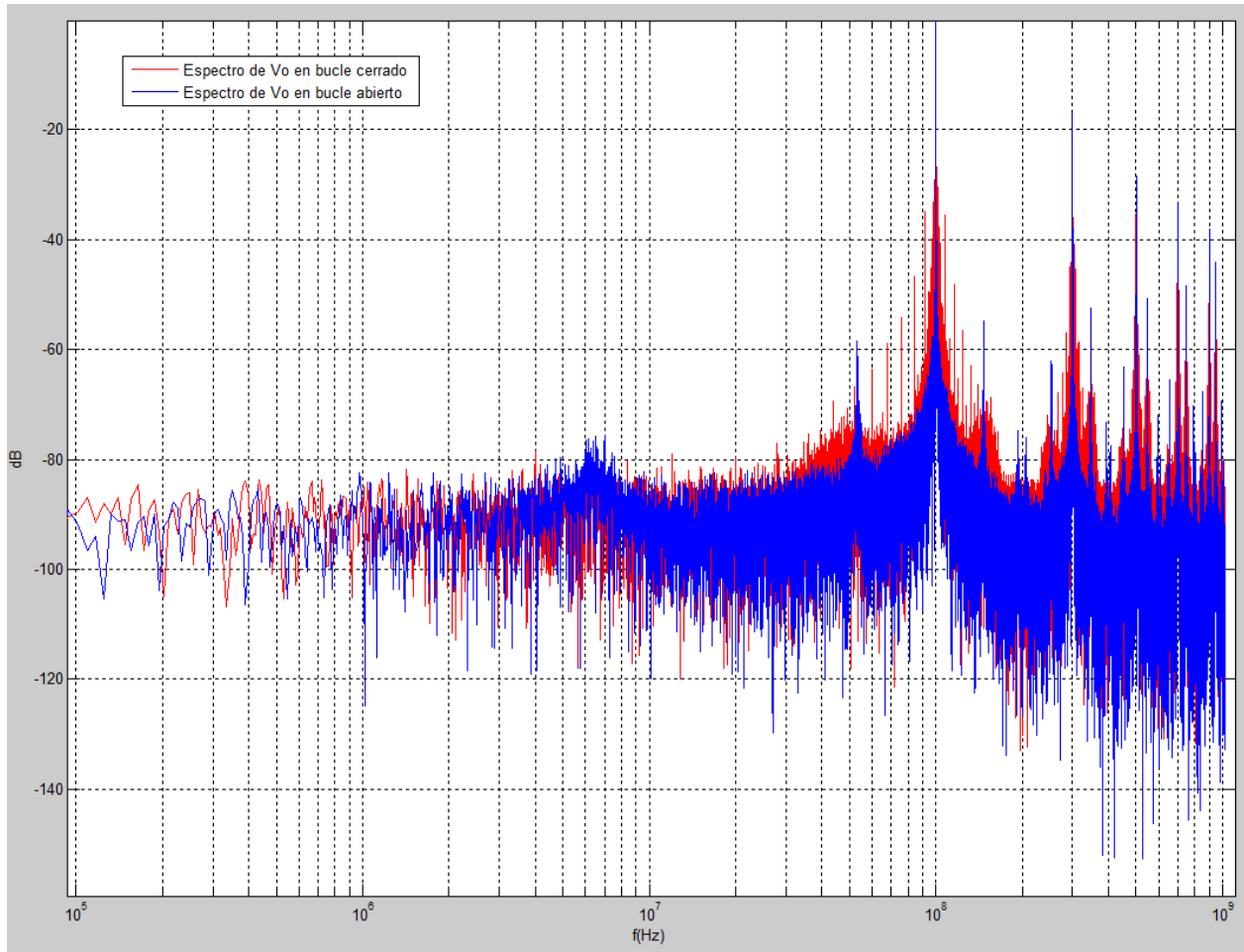


Figura 3.18 Espectros de salida para un ruido de fase de $10^{-6} * f_{omax}$

Cuando el VCO está en bucle cerrado no influye significativamente en el espectro de salida el ruido de fase añadido ya que éste es filtrado por el lazo cerrado. En la Figura 3.19 se muestra como apenas influye el ruido de fase en bucle cerrado.

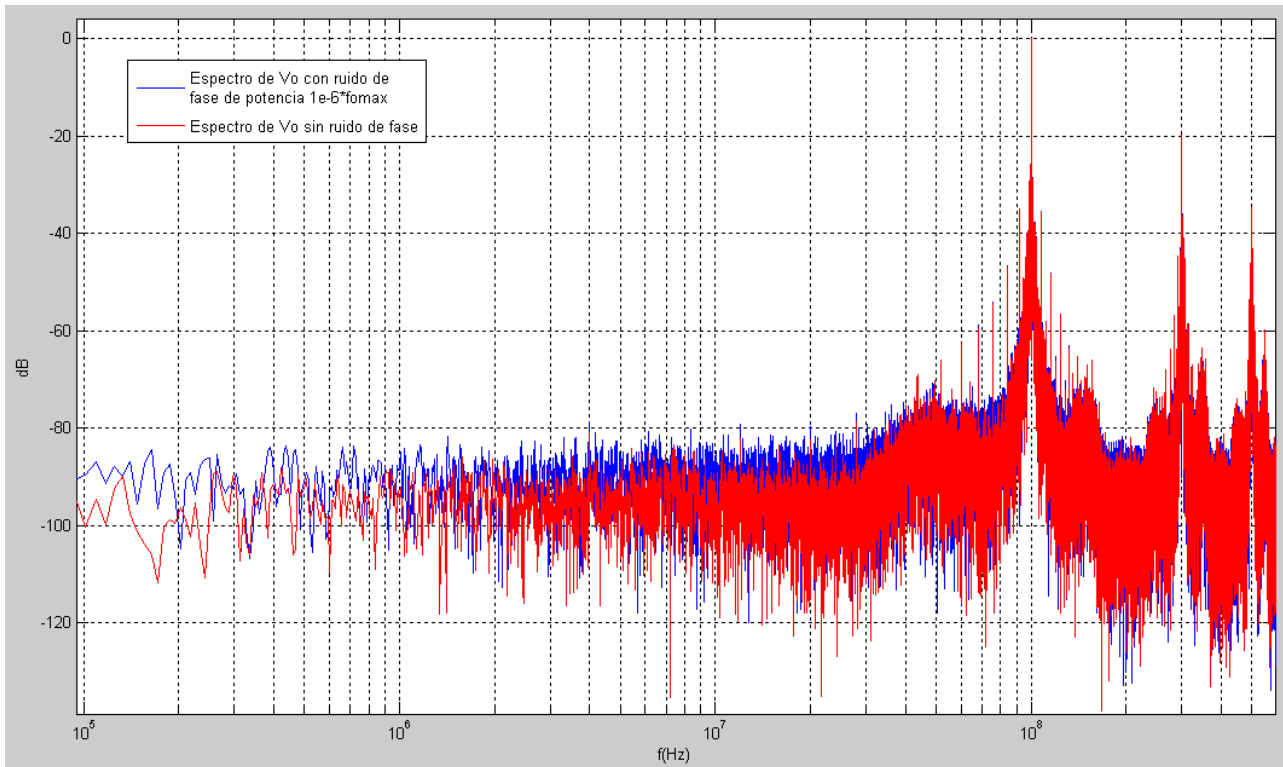


Figura 3.19 Comparación de espectro de salida sin ruido de fase y con ruido de fase

3.3 Ejemplo de simulación 2: comparación de la señal de salida del sintetizador si los bits de control del divisor son fijos o controlados por un SD

En este ejemplo se va a realizar la comparación del espectro de salida del sintetizador de frecuencia en dos casos: cuando el divisor está controlado por un SD y cuando está controlado con tres bits fijos, correspondientes a los modelos de las figuras Figura 3.13 y Figura 3.14.

Para ello se va a escoger un valor del divisor que sea entero ya que, cuando los bits son fijos, sólo se pueden obtener divisiones enteras. El valor escogido en este ejemplo será $N=12$, al ser éste un valor central; pero este mismo ejemplo podría realizarse para cualquiera de los divisores enteros existentes entre 8 y 15.

Tras realizar la simulación se obtiene el resultado mostrado en la Figura 3.20, donde se representan ambos espectros.

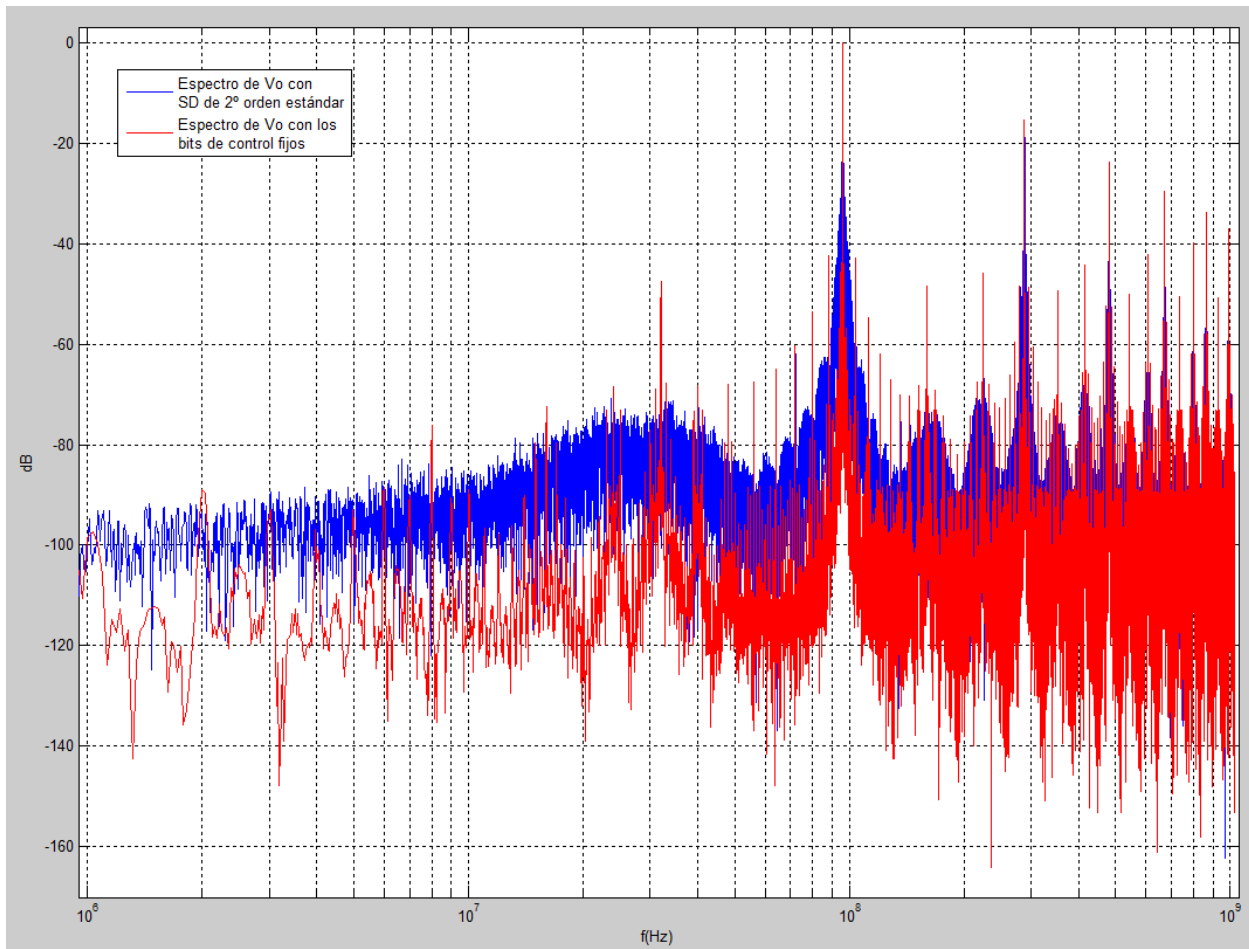


Figura 3.20 Espectro de salida del sintetizador con SD o bits de control fijos

Observando el resultado obtenido se puede decir que, cuando el sintetizador está controlado por un SD, su espectro de salida presenta más ruido pero que, sin embargo, los tonos de distorsión se reducen en potencia. En cuanto a la exactitud de la frecuencia de la señal de salida, se puede observar que ésta se consigue perfectamente en ambos modelos, por lo que ambos son igual de válidos en ese sentido.

3.4 Ejemplo de simulación 3: evaluación de la distorsión para distintos divisores de frecuencia

En este ejemplo se va a comparar la distorsión que presentan los espectros de salida del sintetizador de frecuencia para distintos valores del divisor de frecuencia, controlado por el SD de segundo orden en estructura de error realimentado, como muestra la Figura 3.1.

Los casos elegidos para realizar esta comparación son aquellos en los que el valor de N es 9, 12, y 15, pudiendo haberse escogido otros valores diferentes.

En las siguientes figuras se muestran los resultados de las simulaciones para cada uno de los valores de N escogidos.

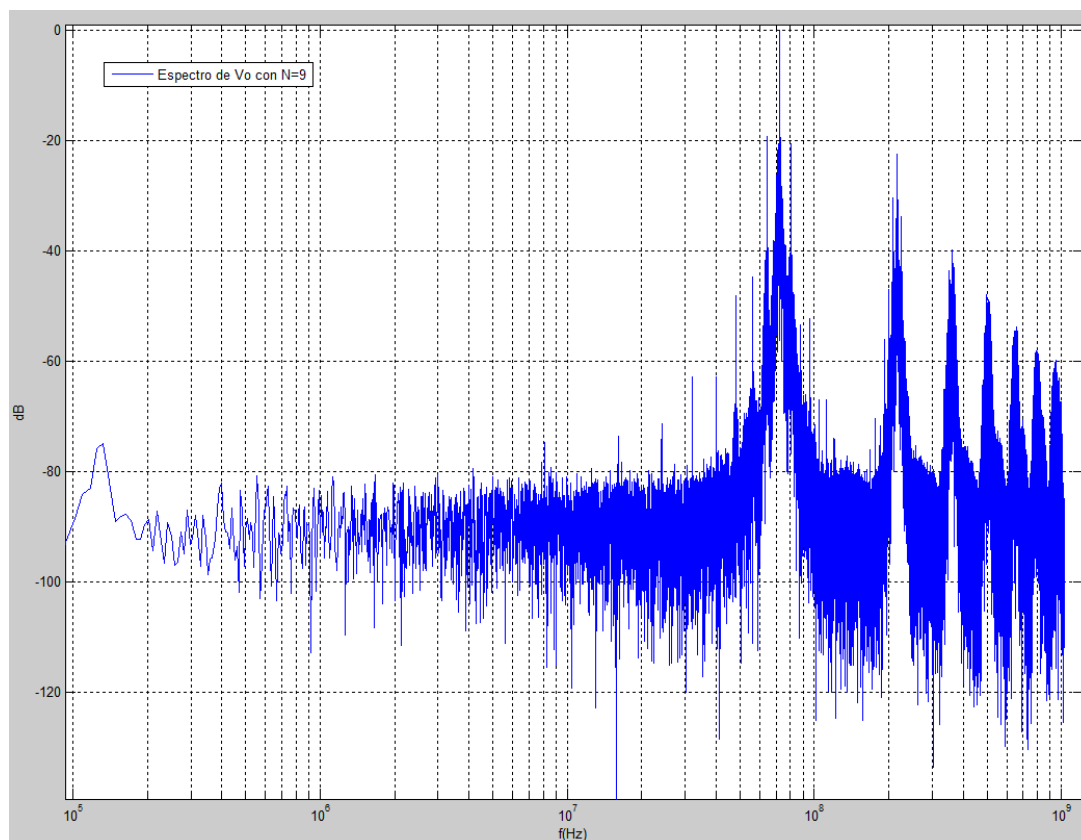


Figura 3.21 Espectro de salida para N=9

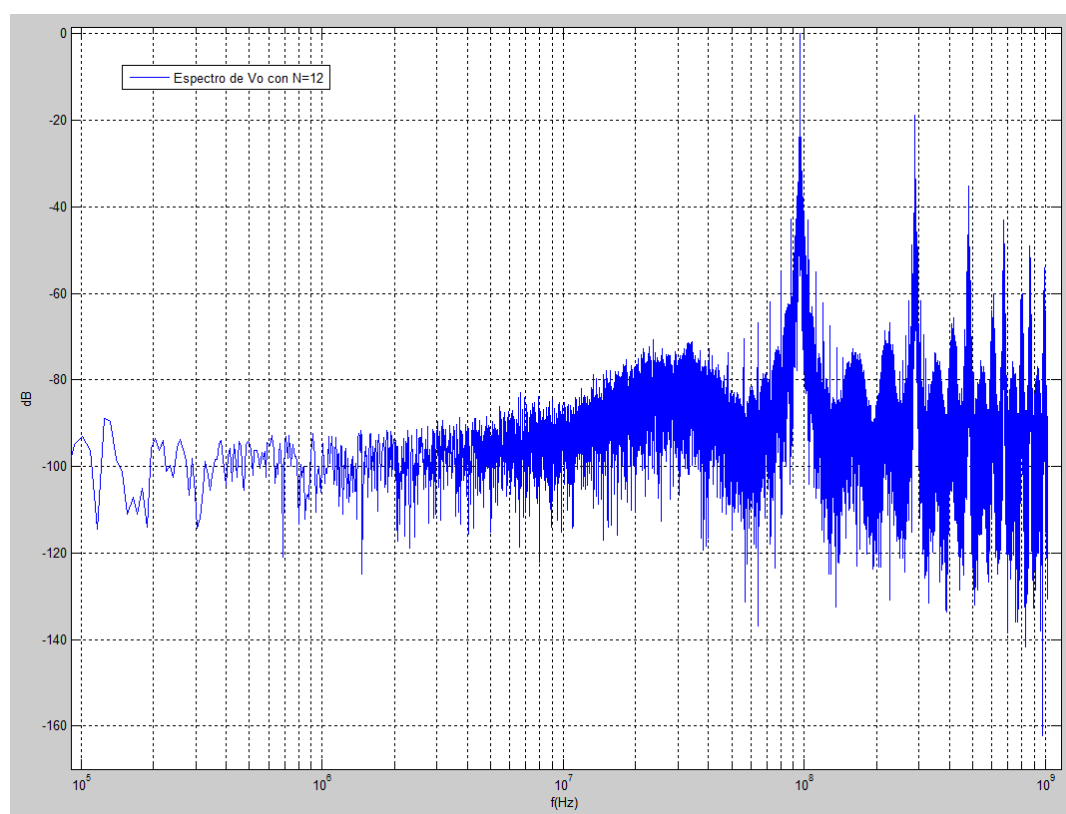


Figura 3.22 Espectro de salida para N=11

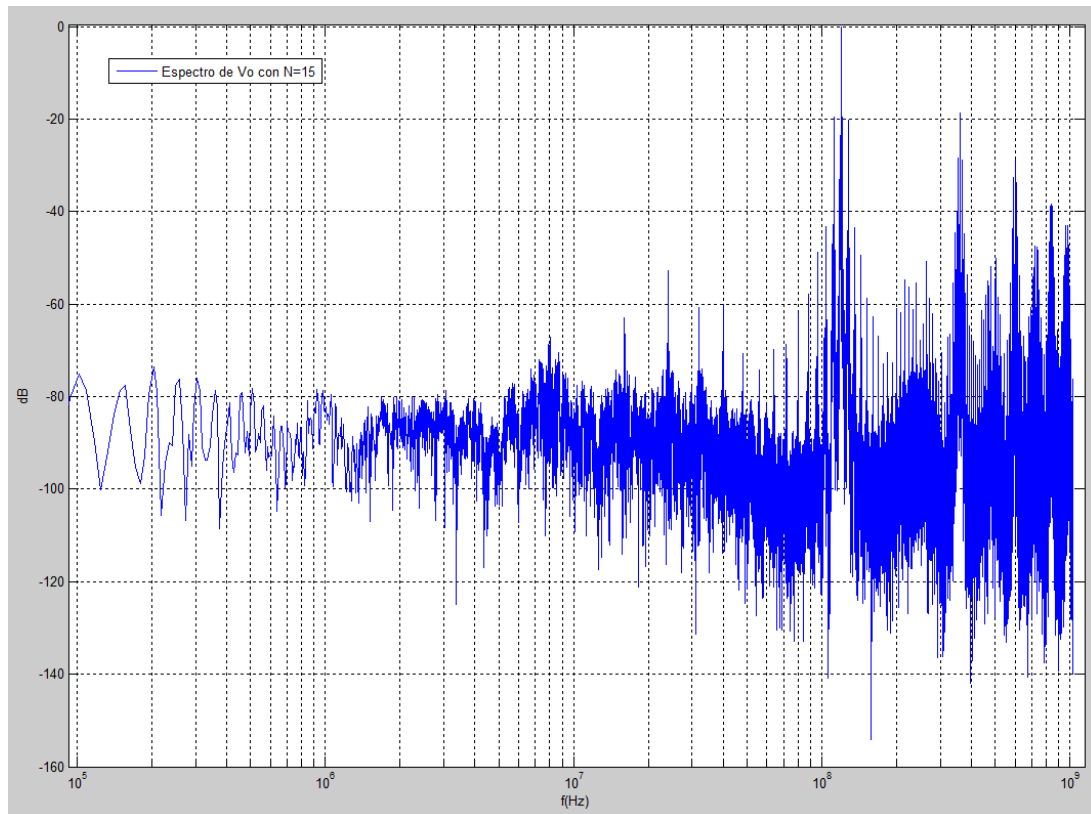


Figura 3.23 Espectro de salida para N=15

Observando estas tres figuras se puede observar que, a medida que se aumenta el valor del factor de la división, disminuye el ruido presente alrededor del tono principal. Esto puede ser debido a que, a medida que N aumenta disminuye el ancho de banda del sintetizador, provocando un mayor filtrado del ruido producido al cerrar el lazo.

Por otro lado, se puede ver que el valor de N intermedio es el que presenta menos distorsión cerca del tono principal, teniendo ésta una potencia inferior a los -40 dB a una distancia de 8 MHz. Sin embargo, en los otros dos casos y a la misma distancia, la potencia de los tonos de distorsión llegan hasta los -20 dB.

Haciendo un zoom en la frecuencia de oscilación y con la escala en modo lineal se pueden observar mejor estas conclusiones. La Figura 3.24 muestran los tres ejemplos en una misma gráfica es estas condiciones.

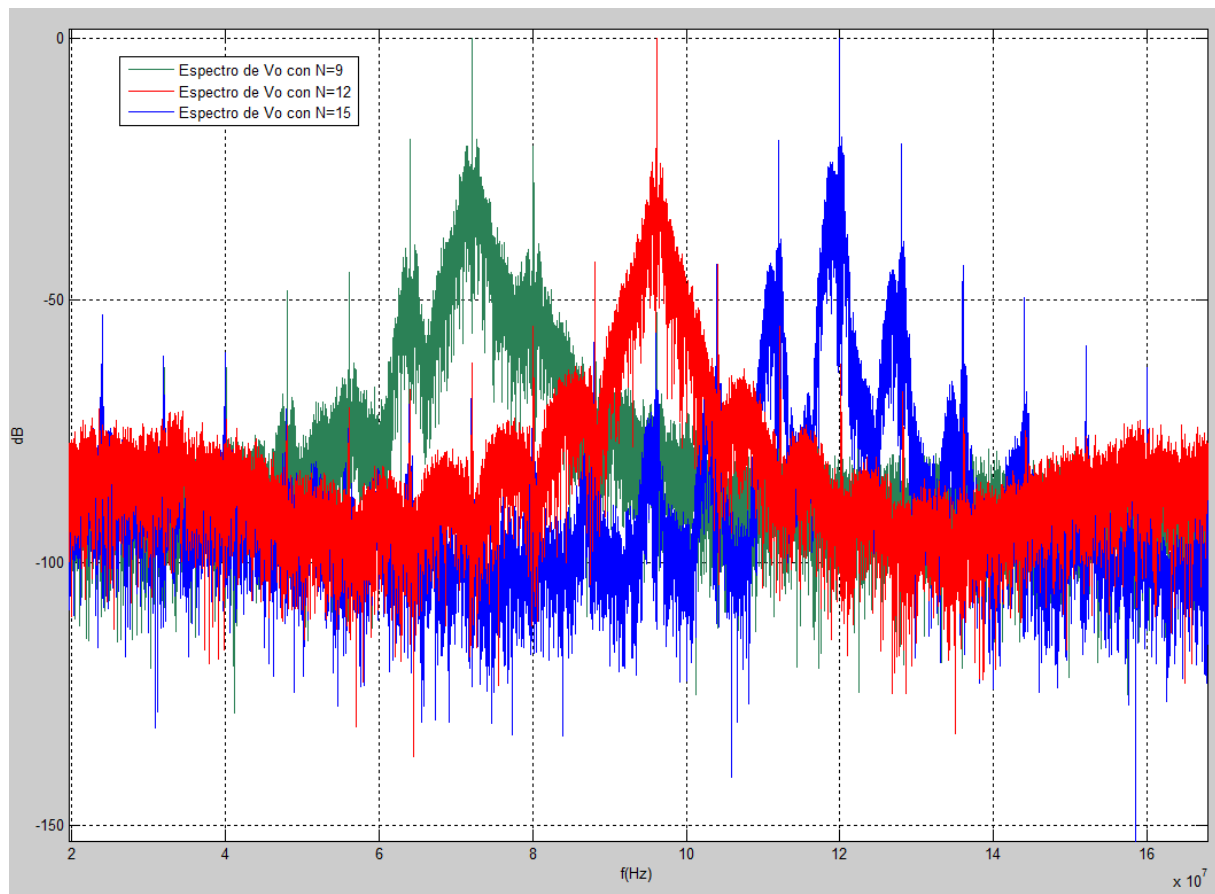


Figura 3.24 Zoom en escala lineal para distintas N

4 Implementación y medida de los casos de estudio

En este capítulo se procede a mostrar el diseño final del sintetizador de frecuencia que se va a implementar junto con los resultados de las medidas realizadas sobre los casos de estudio descritos en el capítulo 2: sintetizador con tres tipos diferentes de SD para controlar el factor de división.

El diseño final del sintetizador de frecuencia es el que se mostraba en la Figura 2.4, donde el detector de fase es el detector de fase-frecuencia (PFD) desarrollado en el capítulo 1, el filtro del lazo es un filtro paso bajo pasivo, cuyos parámetros son los mostrados en el capítulo 2, el VCO es el integrado en el encapsulado CD4046BC, y el divisor de frecuencia es el obtenido en el capítulo 2, controlado por el modulador SD.

Para llegar a este diseño, primero se va a implementar un diseño más sencillo en el que se sustituye en PFD por el detector de fase integrado en el encapsulado CD4046BC, denominado “phase comparator II”. Una vez realizadas las medidas para este diseño y comprobado su funcionamiento se procederá a realizar las del diseño final. En los esquemáticos 1 y 2 se muestran ambos montajes.

Por otro lado, para facilitar la implementación de los moduladores SD 1 y 2 en la FPGA se va a hacer una simplificación, de manera que los valores de los parámetros se van a aproximar a la forma $1/2^n$, manteniendo el funcionamiento lo más similar posible al obtenido directamente de [10].

Por lo tanto, los nuevos valores obtenidos para los parámetros de los SD a implementar son los mostrados en la Tabla 4.1.

Tabla 4.1 Parámetros de los moduladores SD para la realización experimental

<i>Nombre del SD</i>	<i>SD estándar</i>	<i>SD 1</i>	<i>SD 2</i>
a1	1	1	1/2
a2	1	1	1
a3	-	-	1
b1	1	1	1
b2	0	0	0
b3	0	0	0
b4	-	-	0
c1	1	1	1
c2	1	1	1
c3	-	-	1
g1	0	1/64	1/8

En el Anexo B se muestran los esquemáticos 3, 4 y 5 con los diseños de cada uno de los tres montajes que se van a implementar.

A continuación se muestran los espectros de salida de los moduladores SD, siendo en eje horizontal el número de muestra. Por un lado se observa el del modulador estándar en la Figura 4.1. Después se encuentran los moduladores SD 1 y SD 2, en la Figura 4.2 y la Figura 4.3, tanto el obtenido usando [10] como el modificado para su mejor implementación, mostrado en la Tabla 4.1.

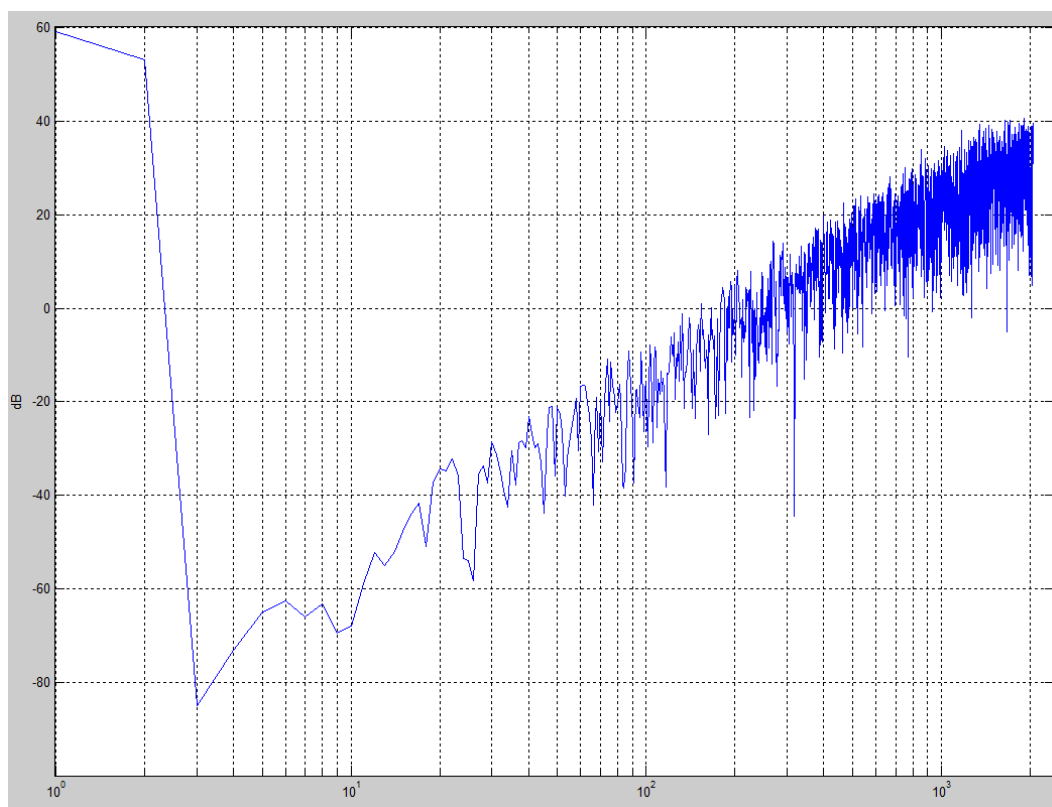


Figura 4.1 Espectro de salida del modulador SD de 2º orden estándar

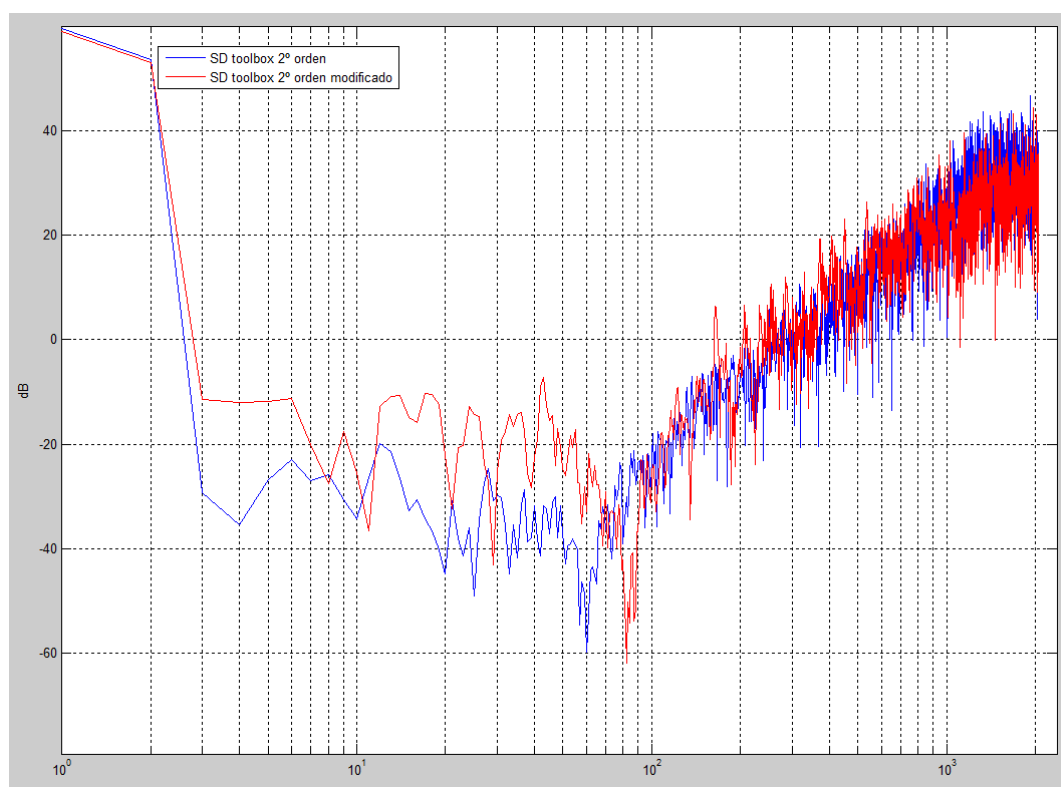


Figura 4.2 Espectro de salida del modulador SD 1 y su modificado

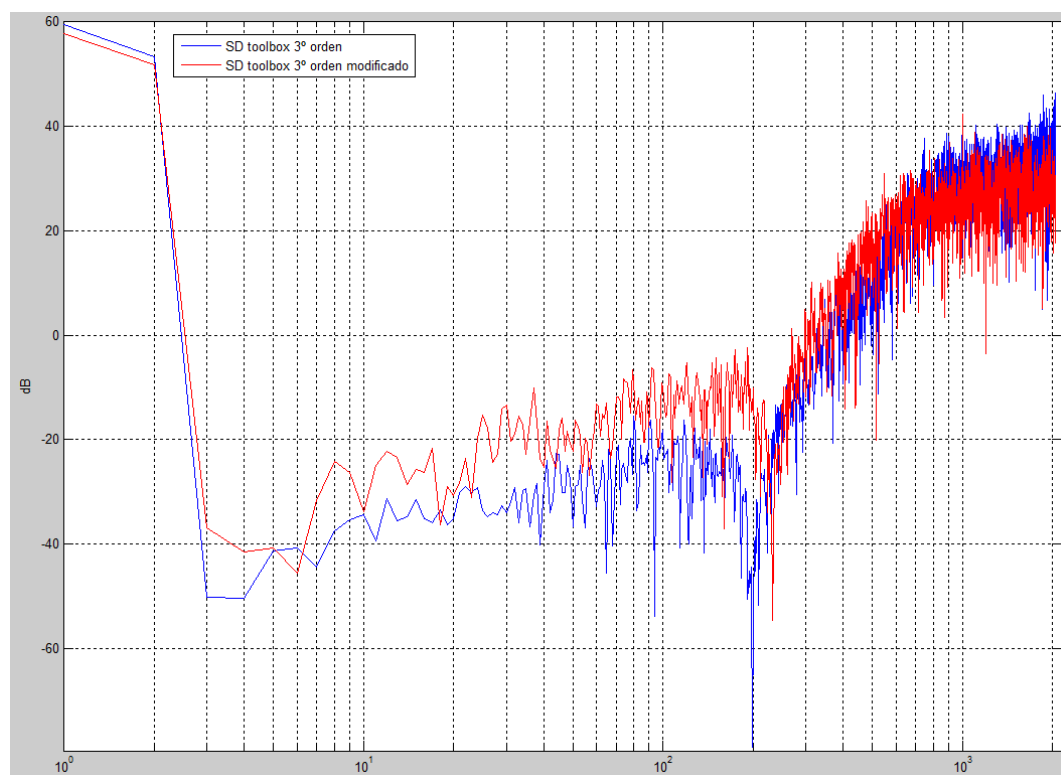


Figura 4.3 Espectro de salida del modulador SD 2 y su modificado

Como se puede apreciar, en los casos de SD 1 y SD 2 se han escogido los parámetros modificados de manera que el resultado del espectro del SD no se aleje mucho del caso

original, facilitando así su implementación pero sin descuidar en exceso la calidad del resultado.

4.1 Descripción de la plataforma de desarrollo y del banco de pruebas

Como se adelantó brevemente en el capítulo 2, para la implementación experimental de la parte digital del circuito se va a emplear el kit de evaluación de la FPGA Spartan-3E de Xilinx. Para la programación de la FPGA se va a emplear el Software Xilinx ISE Design Suite 12.1 y para la simulación de los esquemáticos se va a emplear el simulador ISim.

En la Figura 4.4 se muestra una fotografía del kit de evaluación de la FPGA.

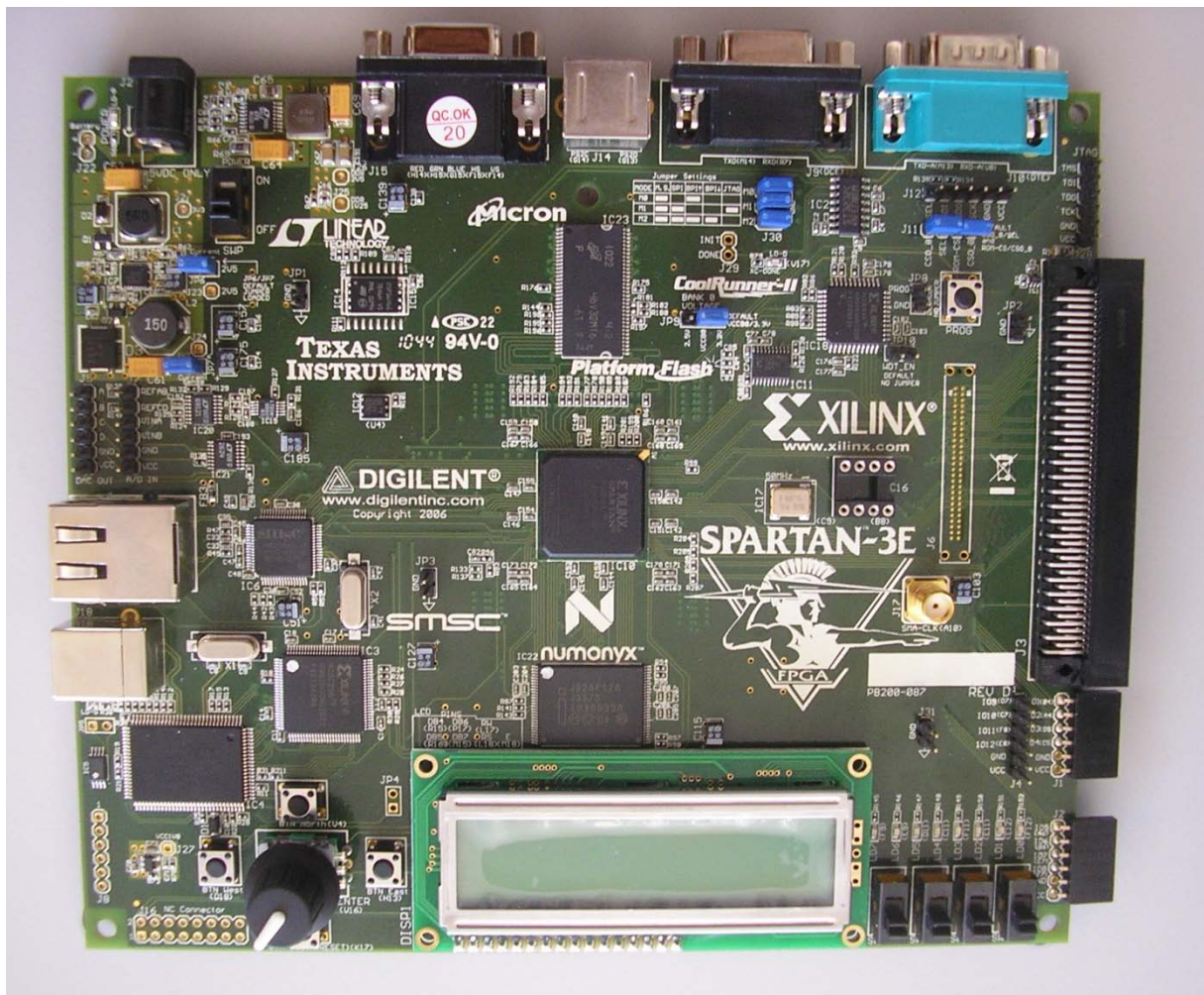


Figura 4.4 Fotografía del kit de la FPGA Spartan-3E empleado

Por otro lado, el montaje analógico se realizará en una placa de inserción con componentes discretos como primer prototipo, siguiendo el esquemático 1 o el esquemático 2 del Anexo B, según corresponda.

En la Figura 2.4 se muestra el diagrama de bloques, señalando cuáles de ellos pertenecen a la parte digital y los que pertenecen a la parte analógica. Además se ha de tener en cuenta que el bloque del comparador de fase, aunque esté incluido en la figura en la parte digital, puede pertenecer a la parte analógica o digital. Esto depende del montaje que se esté evaluando de los comentados al principio de este capítulo.

La señal de referencia del circuito, de onda cuadrada y de una frecuencia de 35 KHz, se ha obtenido de un generador de señales digital. Y la obtención del espectro de salida del sintetizador se ha realizado mediante un analizador de espectros. En las figuras se muestra un diagrama de bloques del sistema de medidas según el montaje que se vaya a realizar.

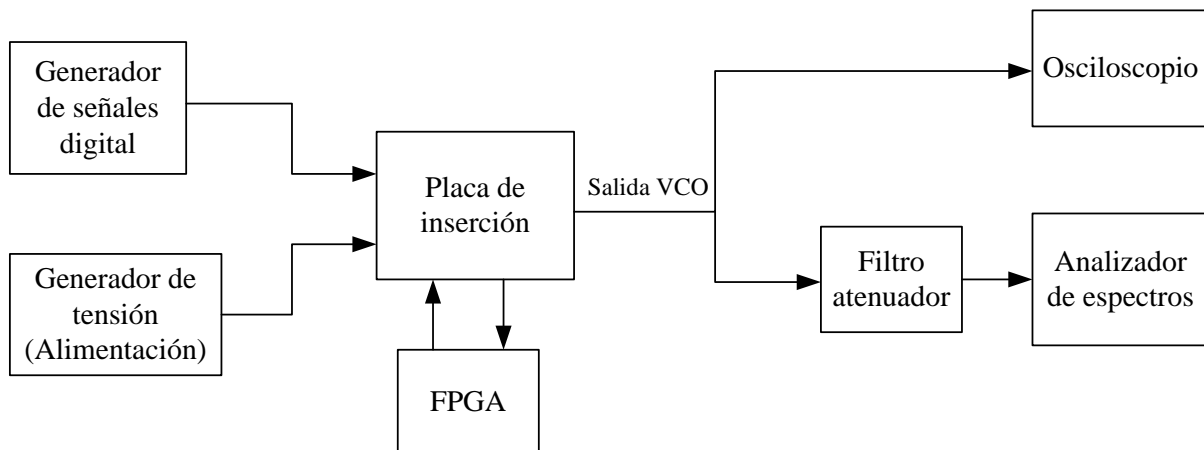


Figura 4.5 Diagrama de bloques del sistema de medida correspondiente al esquemático 1

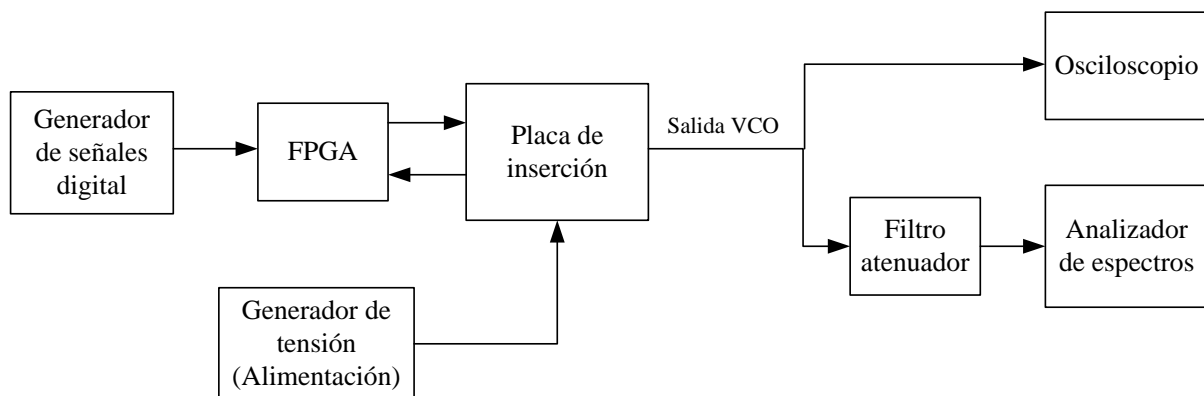


Figura 4.6 Diagrama de bloques del sistema de medida correspondiente al esquemático 2

Como se puede observar en estas dos figuras aparece un filtro atenuador antes del analizador de espectros. Éste, como su propio nombre indica, atenúa la señal de salida del VCO para que pueda ser representada por el analizador de espectros sin que éste se dañe. Además este filtro elimina la tensión continua que tenga la señal a medir, ya que el analizador de espectros no tolera señales continuas.

4.2 Resultados experimentales

En este apartado se van a mostrar las medidas experimentales descritas a continuación para los dos montajes comentados al inicio de este capítulo. A la hora de interpretar estas medidas, se ha de tener en cuenta que en el circuito se han colocado comparadores LM311 para aumentar la tensión, bien a la entrada del circuito o bien entre medias, como muestran los esquemáticos 1 y 2. Estos componentes introducen ruido en el sistema por lo que las medidas se verán afectadas. Además, este ruido varía según la frecuencia de funcionamiento, pero no se sabe cómo depende de ella.

Primero se va a comprobar el funcionamiento del sintetizador completo, para los tres SD propuestos. Para ello se variará la constante de entrada del SD correspondiente empleando los interruptores que aparecen en la parte inferior derecha de la fotografía de la Figura 4.4. Como la constante es de 16 bits, inicialmente se van a emplear los cuatro interruptores para variar los cuatro bits más significativos.

Después se va a comparar el funcionamiento de los tres casos para un valor constante del factor de división, elegido el valor $N=11,5$. De esta manera se podrá valorar cuál de los tres modelos es más deseable.

Una vez hecho esto, se van a modificar los bits que pueden cambiar para el SD cuyo funcionamiento sea el mejor, siendo ahora los bits 11, 10, 9 y 8 los que van a variar, y observando cuál es el resultado en el espectro de la señal de salida del sintetizador.

4.2.1 Sintetizador de frecuencia con el comparador de fase-frecuencia II del encapsulado CD4046BC

Variando de manera correlativa únicamente los cuatro bits más significativos de la constante del SD (b15-b14-b13-b12) para los moduladores de segundo orden se ha podido observar que la resolución de la frecuencia de salida del sintetizador ha pasado de ser 35 KHz (es decir, la frecuencia de referencia) a tener un valor de 17.5 KHz, que es la mitad de la frecuencia de referencia. En las siguientes figuras se muestran dos ejemplos para cada uno de los SD de segundo orden donde se puede apreciar este resultado.

Para el modulador SD de segundo orden estándar:

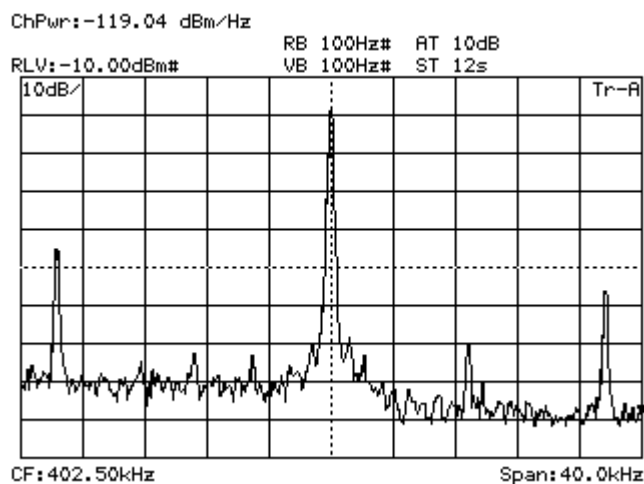


Figura 4.7 Espectro de salida empleando el SD estándar para cte_SD=1000 0000 0000 0000, que corresponde a N=11.5

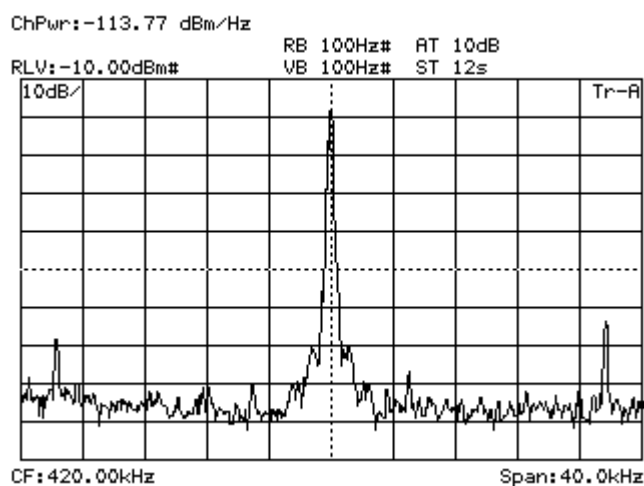


Figura 4.8 Espectro de salida empleando el SD estándar para cte_SD=1001 0000 0000 0000, que corresponde a N=12

En estos dos ejemplos se puede observar que, al cambiar el bit 12 de la constante del SD se ha conseguido que el factor de división pase de tomar un valor 11.5 a tomar el valor 12, aumentando la frecuencia de salida en 17.5 KHz (de 402.5 KHz a 420 KHz, como se muestra en la esquina inferior izquierda de ambas gráficas).

Para el modulador SD 1 de segundo orden:

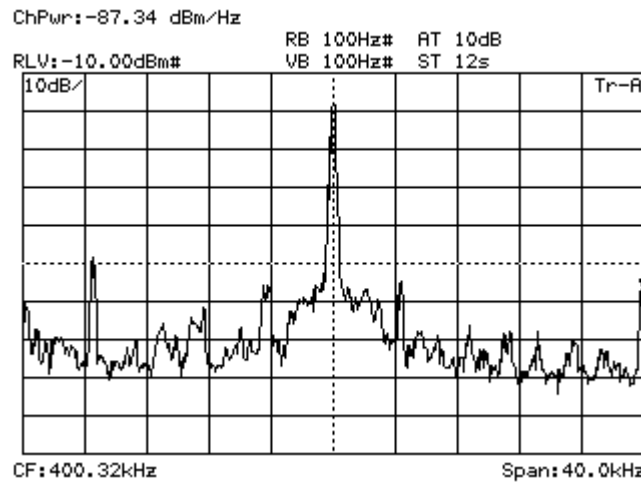


Figura 4.9 Espectro de salida empleando el SD 1 para cte_SD=1000 0000 0000 0000, que corresponde a N=11.5

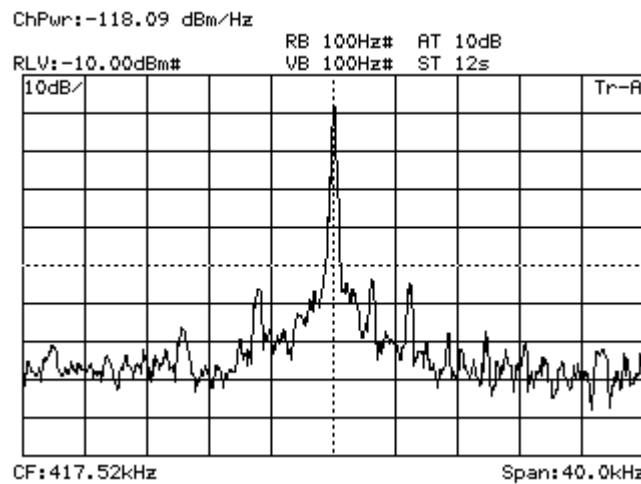


Figura 4.10 Espectro de salida empleando el SD 1 para cte_SD=1001 0000 0000 0000, que corresponde a N=12

En este caso se puede observar que ocurre lo mismo que en el caso anterior, variando el factor de división de 11.5 a 12. Pero en este modulador la frecuencia de salida no es tan exacta como en el caso anterior, ya que toma valores de 400.32 KHz y 417.52 KHz cuando deberían ser los mismos que en caso del SD estándar.

Para el modulador de tercer orden, al realizar las mismas simulaciones que en el caso anterior, se ha obtenido que la resolución que se puede conseguir variando los cuatro bits más significativos es de 35 KHz, luego se necesitarán variar los bits inferiores para poder obtener una mejor resolución. A continuación se muestra un ejemplo en el que se puede apreciar esto.

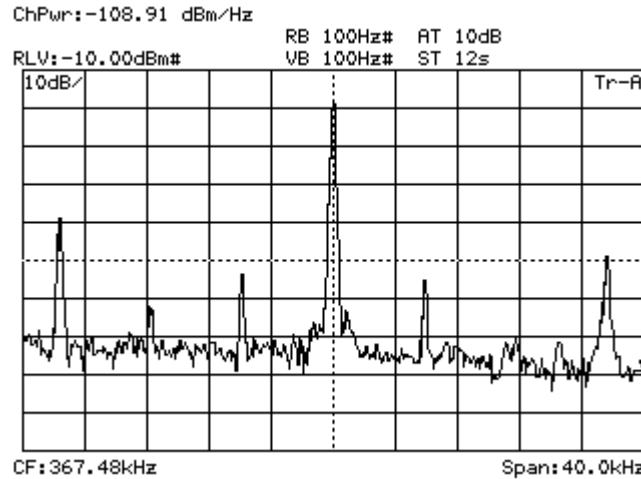


Figura 4.11 Espectro de salida empleando el SD 2 para cte_SD=0011 0000 0000 0000, correspondiente a N=10.5

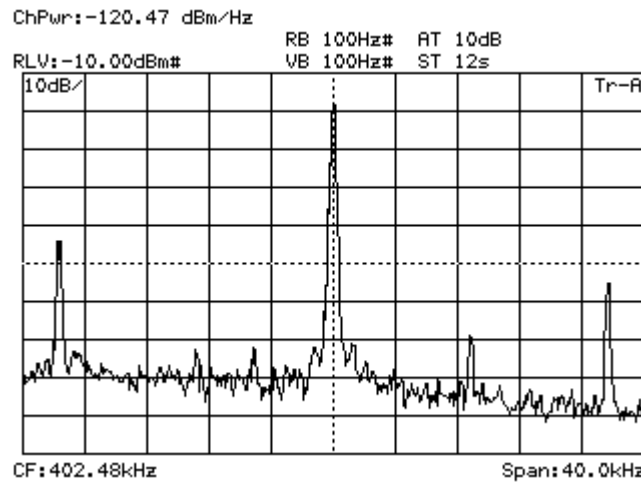


Figura 4.12 Espectro de salida empleando el SD 2 para cte_SD=0100 0000 0000 0000, correspondiente a N=11.5

Una vez comprobado el correcto funcionamiento del circuito para los tres SD propuestos, se van a comparar los espectros de salida del sintetizador para un valor concreto de N=11.5. En las figuras Figura 4.7, Figura 4.9 y Figura 4.122 se muestran los resultados obtenidos.

Observando las figuras se puede concluir que, para los casos con el SD estándar y con el SD 2 el nivel de ruido es más bajo que en el caso con el SD 1, por lo que la calidad de la señal de salida será mejor. En cuanto a los tonos que presentan los espectros, se puede observar que en todos ellos aparecen unos tonos con bastante potencia, pero en los casos del SD estándar y SD 2 éstos están más alejados del tono principal.

Además, tras realizar las medidas correspondientes a estos tres casos, se ha podido observar que en el caso del SD de tercer orden el sintetizador de frecuencia se comportaba de manera más estable produciéndose más fácil y rápidamente su enganche.

Ahora se van a realizar las medidas variando los bits b11-b10-b9-b8 para el caso en el que se tiene el SD de tercer orden, ya que es del que se han obtenido mejores resultados. Para ello se van a fijar los cuatro bits más significativos en 0100, de tal manera que el valor del divisor pueda variar entre 11.5 y 12.5.

De esta manera se ha obtenido una resolución de 2.2 KHz, que todavía se podría mejorar mucho si los bits que varían fuesen los menos significativos, pudiéndose conseguir una resolución mínima de 8.5 Hz.

En las figuras siguientes se muestran algunos ejemplos, donde se observa como ha mejorado la resolución de la frecuencia de salida.

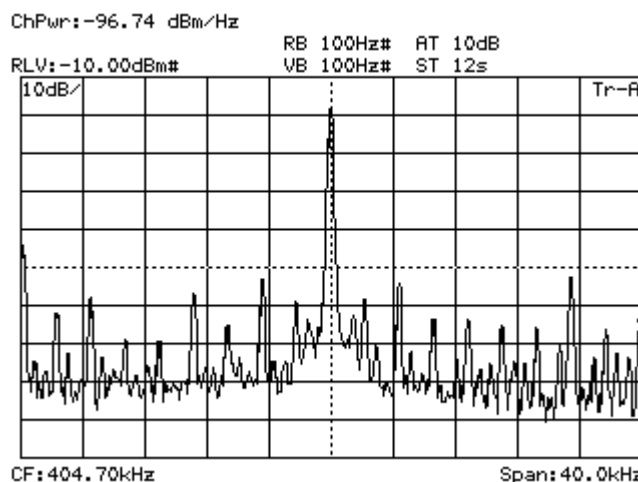


Figura 4.13 Para N=11.56 correspondiente a cte_SD=0100 0001 0000 0000

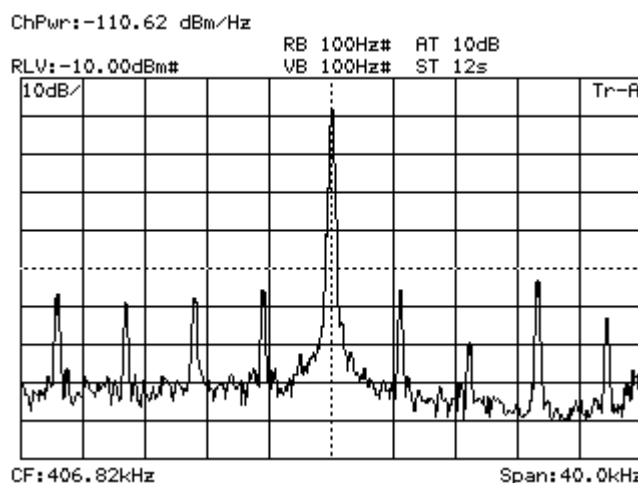


Figura 4.14 Para N=11.62 correspondiente a cte_SD=0100 0010 0000 0000

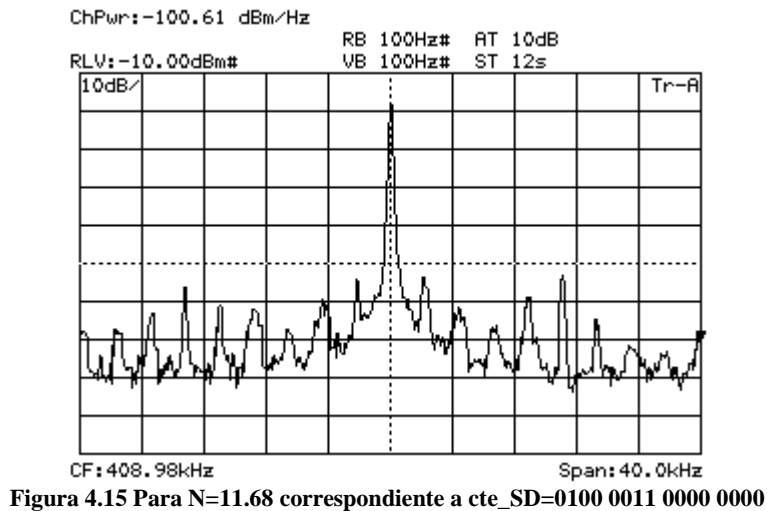


Figura 4.15 Para N=11.68 correspondiente a cte_SD=0100 0011 0000 0000

A continuación se van a tener en cuenta dos parámetros a medir para poder ver lo obtenido de estas simulaciones, ya que no se muestran las gráficas obtenidas para todos los valores del divisor entre 11.5 y 12.5.

Por un lado se va a evaluar la relación de potencia entre el tono principal y el inmediatamente inferior en potencia en función de N, independientemente de la frecuencia que posean esos tonos. Para ello se va a evaluar el rango libre de espurios mediante el parámetro conocido como “Spurious Free Dynamic Range” (SFDR), que se mide en dBc (dB respecto al tono principal).

En la gráfica siguiente se muestra el resultado obtenido:

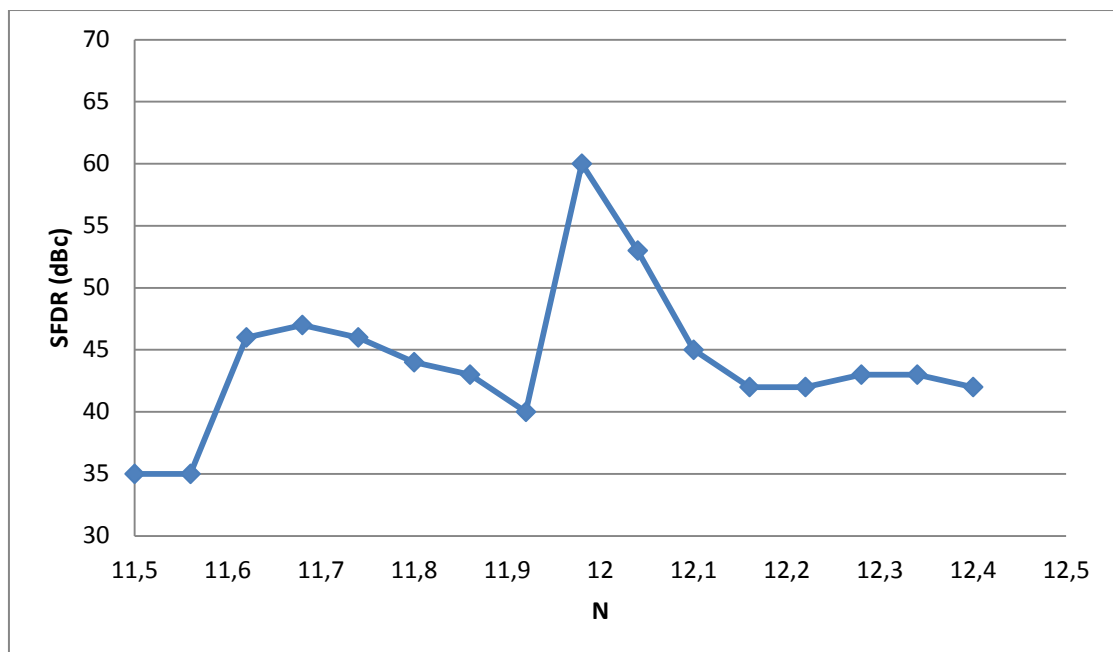


Figura 4.16 Relación de potencia entre el tono principal y el inmediatamente inferior en potencia en función de N

Por otro lado se va a evaluar el ruido de fase a una distancia fija de 4 KHz del tono principal, mostrándose los resultados en la Figura 4.17.

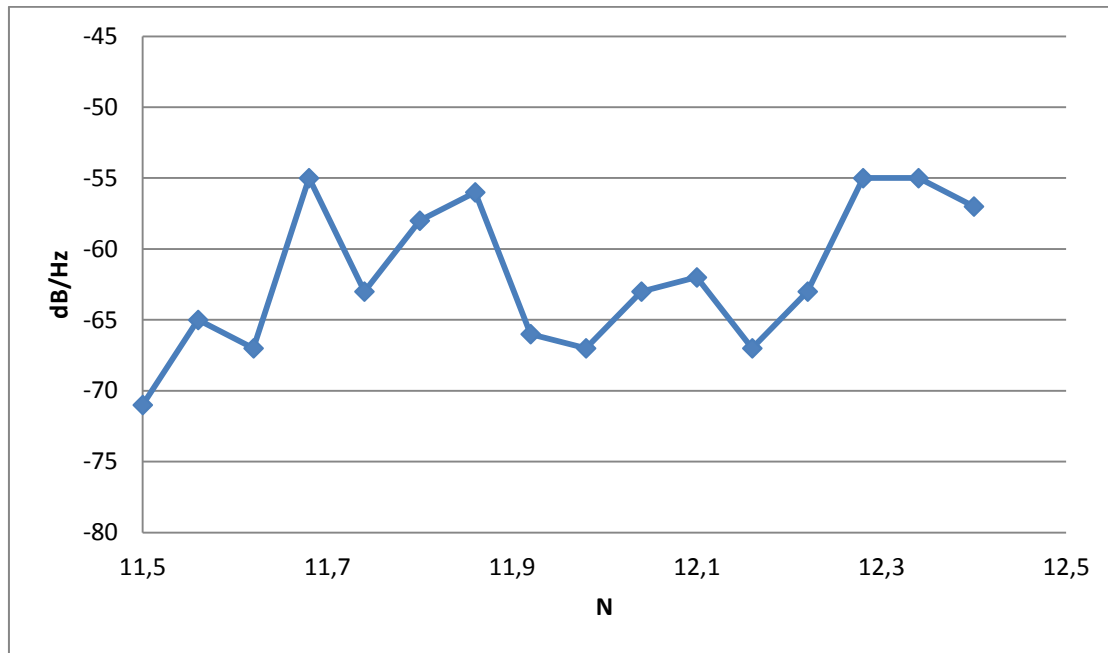


Figura 4.17 Densidad espectral del ruido de fase a 4 KHz del tono principal en función de N

4.2.2 Sintetizador de frecuencia con el comparador de fase-frecuencia programado en la FPGA

Tras realizar las medidas empleando el comparador de fase-frecuencia programado en la FPGA y variando los cuatro bits más significativos se ha comprobado que el funcionamiento es similar al del caso anterior, siendo la resolución obtenida de 17.5 KHz, en el caso de los moduladores de segundo orden, y de 35 KHz, en el caso de modulador de tercer orden.

En las figuras Figura 4.18, Figura 4.19 y Figura 4.20 se muestran los espectros de salida del sintetizador para un valor del factor de división constante de $N=11.5$, que se van a emplear para comparar el funcionamiento para los tres moduladores SD.

En ellas se puede apreciar cómo en los SD de las figuras Figura 4.18 y Figura 4.20, correspondientes a un SD de segundo orden estándar y uno de tercer orden (SD 2), el nivel de ruido es bastante menor que en el caso del SD 1 de la figura Figura 4.19, al igual que ocurría al emplear el comparador II de CD4046BC. Además se puede ver que la frecuencia de salida del sintetizador es exacta en esos dos casos, mientras que utilizando SD 1 no se alcanza la frecuencia deseada, obteniéndose un valor de 400.34 KHz en lugar de los 402.5 kHz que corresponden al factor de división.

Además, se ha podido comprobar que el sintetizador de frecuencia es más estable con el SD de tercer orden, como ocurría en el caso del apartado anterior, consiguiéndose así una mayor facilidad de enganche.

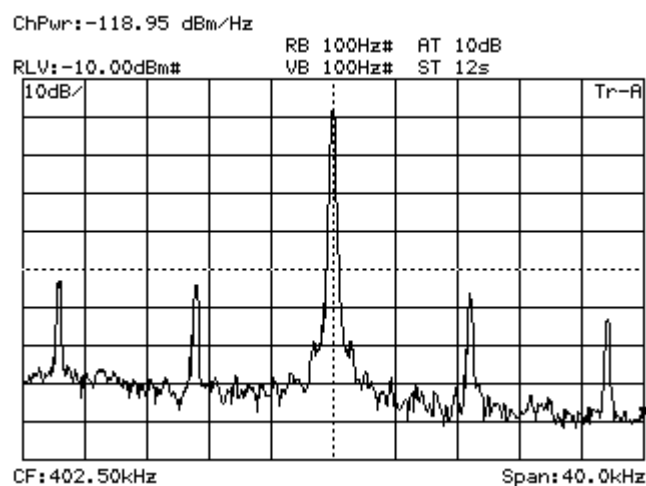


Figura 4.18 Espectro de salida del sintetizador con un SD de 2° orden estándar para N=11.5

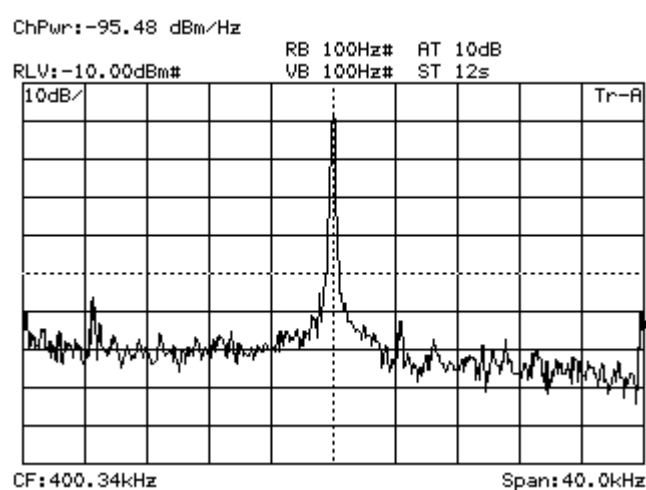


Figura 4.19 Espectro de salida del sintetizador con el SD de 2° orden SD 1 para N=11.5

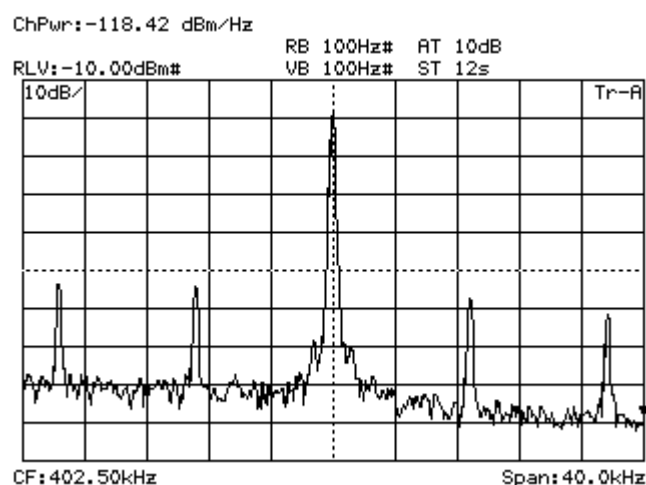


Figura 4.20 Espectro de salida del sintetizador con el SD de 3° orden SD 2 para N=11.5

Después de realizar estas medidas, se va a evaluar el sintetizador variando los bits 11, 10, 9 y 8 de la constante del sintetizador. Al igual que en el caso del apartado anterior, la resolución que se obtiene de esta manera es de 2.2 KHz.

En las siguientes figuras se muestran algunos ejemplos con combinación de bits correlativa donde se puede apreciar el salto de frecuencia que hay entre uno y otro, que será la resolución.

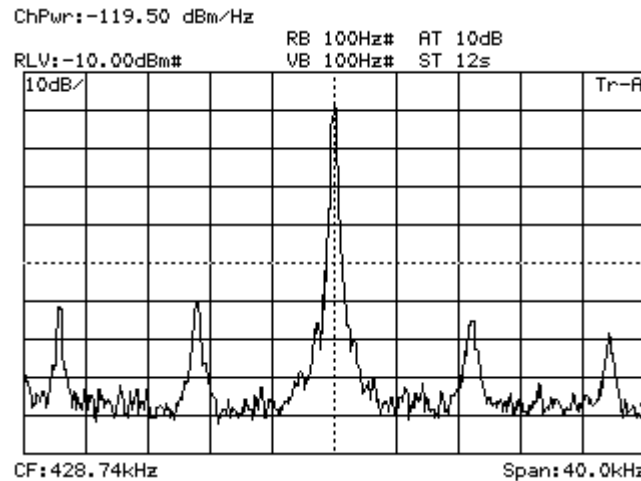


Figura 4.21 Espectro de salida para una valor de cte_SD=0100 1100 0000 0000, correspondiente a N=12.24

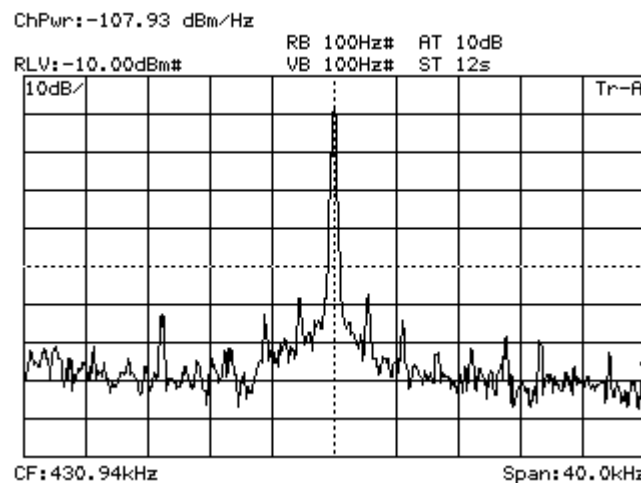


Figura 4.22 Espectro de salida para una valor de cte_SD=0100 1101 0000 0000, correspondiente a N=12.31

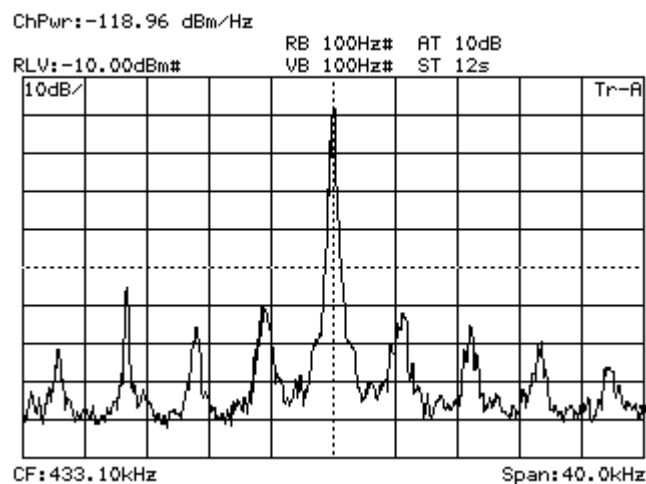


Figura 4.23 Espectro de salida para una valor de cte_SD=0100 1110 0000 0000, correspondiente a N=12.37

A continuación se van a mostrar la gráfica obtenida a partir de la relación de potencias entre el tono principal y el inmediatamente inferior en potencia y la obtenida para evaluar el ruido de fase a 4 KHz, al igual que se realizó en el apartado anterior.

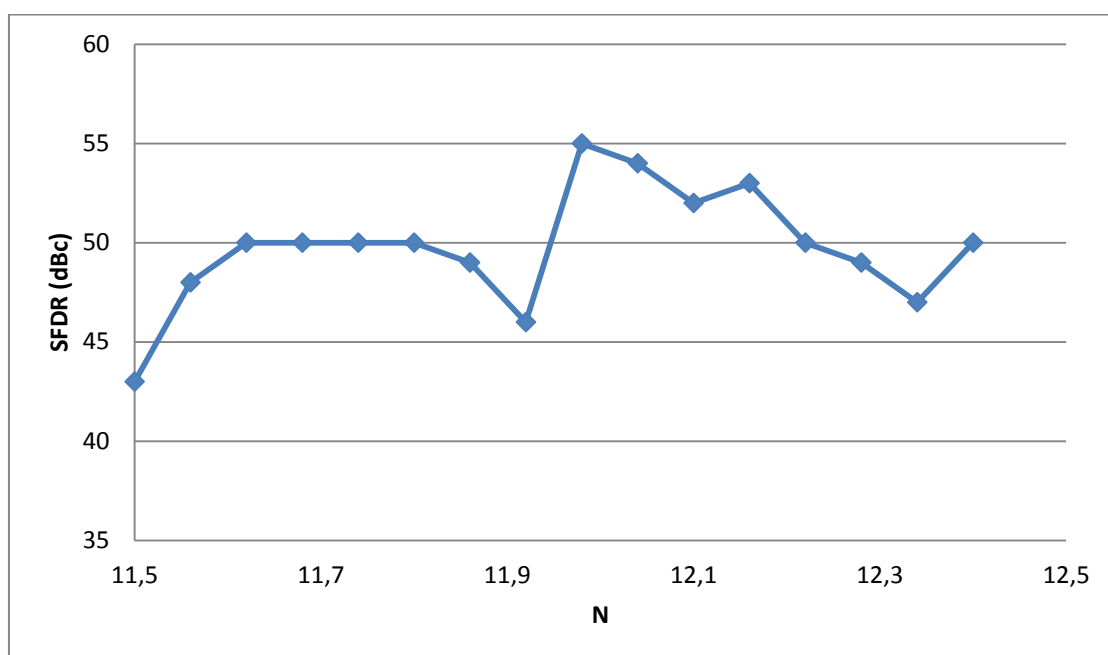


Figura 4.24 Relación de potencia entre el tono principal y el inmediatamente inferior en potencia en función de N

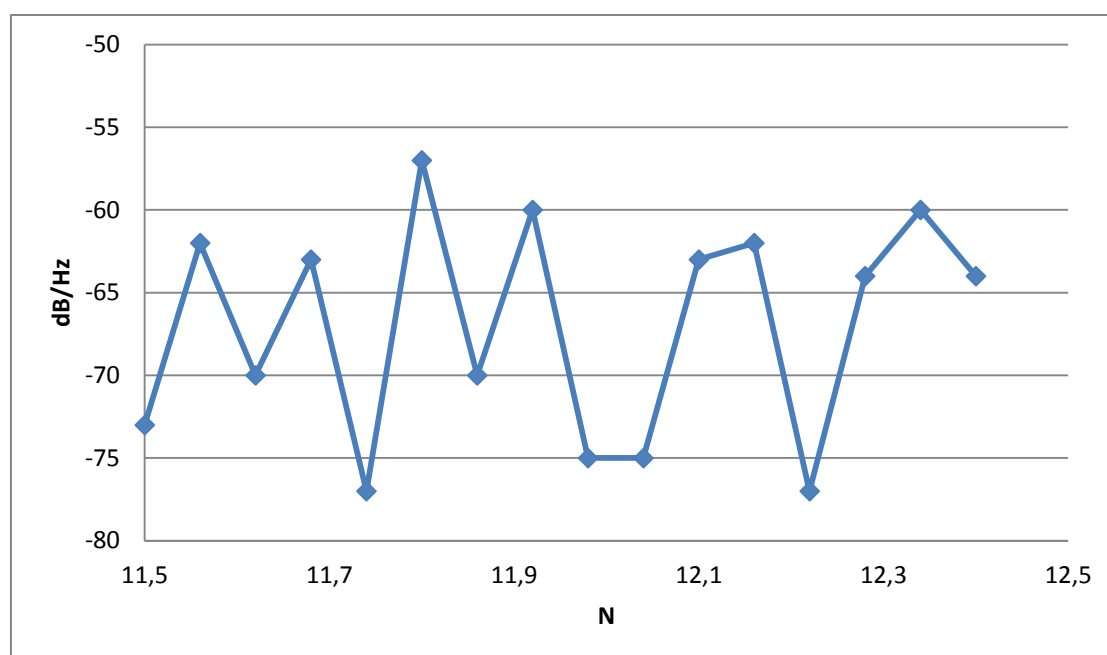


Figura 4.25 Densidad espectral del ruido de fase a 4 KHz del tono principal en función de N

Después de realizar todas las medidas necesarias, se va a realizar una tabla en la que se comparan los sintetizadores con cada uno de los tipos de SD. En ella se evaluarán el error en la síntesis de frecuencia, el ruido de fase, la cantidad de tonos espurios y el margen de enganche del sintetizador.

Tabla 4.2 Comparación entre los SD mediante distintos parámetros

Tipo de SD	Error en la síntesis de frecuencia	Ruido de fase	Cantidad de tonos espurios	Margen de enganche
SD 2º orden estándar	Muy buena	Bajo	Media	Medio
SD 1 (2º orden)	Regular	Medio	Media	Medio
SD 2 (3º orden)	Muy buena	Bajo	Baja	Alto

Tras esto se puede ultimar que el sintetizador que presenta un mejor funcionamiento es aquel que emplea un modulador SD de orden mayor, que en este caso es el de tercer orden.

El modulador SD de segundo orden con resonador no posee ningún cero en continua al ser de orden par, añadiendo ruido en continua y provocando que no funcione de manera tan precisa para valores de entrada continuos como los que se están utilizando a lo largo de este proyecto. Sin embargo, el SD de segundo orden estándar no tiene resonador luego tiene un cero en continua que hace que funcione de manera correcta para entradas continuas.

Al de tercer orden le pasa algo similar. Como es de orden impar tiene tres ceros colocados uno en continua y los otros dos a otra frecuencia que depende de la OSR que se elija, como se vio en el capítulo 2. Es el cero en continua el que hace que funcione correctamente para las entradas que se están empleando.

Esta es una de las razones por la que aparecen errores en la síntesis de frecuencia en el modulador de segundo orden SD 1, mientras que los otros dos casos obtienen la frecuencia perfectamente.

Por otro lado se pueden comparar los sintetizadores para los dos tipos de comparadores de fase empleados, manteniendo el resto del circuito en las mismas condiciones. En esta situación, se puede comprobar que, empleando el comparador de fase-frecuencia en lugar del que integra el CD4046BC, se reduce la distorsión y además el tono principal posee menor cantidad de ruido alrededor. Esto puede ser debido a que la constante de proporcionalidad del detector de fase cambia influyendo en su funcionamiento, ya que no hay apenas diferencias entre ellos al ser ambos comparadores de fase-frecuencia.

Además, como se dijo al inicio de este capítulo, hay que tener en cuenta la incertidumbre que provoca el uso del LM311 conectado a la referencia.

5 Conclusiones

En este capítulo se presentan los resultados más importantes que se han obtenido a lo largo del desarrollo de este proyecto, junto con las posibles líneas de continuación del trabajo realizado.

Los objetivos planteados al inicio de este proyecto se han ido cumpliendo a lo largo de la realización del mismo. Se ha comprendido qué es un sintetizador de frecuencia y cuál es el funcionamiento de cada uno de sus bloques. Además se ha conseguido diseñar un sintetizador fraccional de tipo Sigma-Delta y realizar sobre un prototipo medidas experimentales, comprobando así su funcionamiento. También se han adquirido conocimientos sobre moduladores Sigma-Delta, de los que no se sabía nada, siendo capaz de diseñar varios modelos, implementarlos y simularlos en Simulink y, posteriormente, programarlos en una FPGA.

En cuanto a la parte de resultados experimentales, a lo largo de este proyecto se han empleado dos esquemas de sintetizadores de frecuencia, diferenciados en el comparador de fase empleado. El primero de ellos incluye el comparador de fase integrado en el encapsulado CD4046BC, mientras que el segundo consta de un detector de fase-frecuencia (PFD).

Se han evaluado ambos esquemas mediante varias medidas experimentales, obteniendo menos tonos en el espectro de salida al emplear el PFD, además de un tono de salida principal mucho más limpio, es decir, con menos ruido. Por lo tanto, la calidad de la señal de salida es más elevada, lo cual es favorable de cara a emplearla en otra aplicación posterior.

Por otro lado se han evaluado distintos tipos de moduladores Sigma-Delta empleados para seleccionar el factor del divisor de frecuencia, con el fin de sustituir los tres bits de control manuales que éste presenta.

Los moduladores escogidos han sido de segundo y tercer orden con el fin de evitar, en la medida de lo posible, la aparición de tonos discretos en el espectro debidos a las no-linealidades del cuantificador, que dificulten la evaluación del sintetizador completo. Además, estos moduladores empleados se han elegido de tres bits, mejorando así también el problema de los tonos discretos y con ello el espectro de salida.

Gracias al empleo de estos moduladores se ha conseguido mejorar la resolución que se obtenía mediante los tres bits de control del divisor fijados manualmente. En este caso la resolución mínima era la frecuencia de referencia, es decir, 35 KHz; mientras que, empleando los moduladores Sigma-Delta, se ha conseguido mejorar hasta un valor de 2.2 KHz.

Esta resolución se ha obtenido variando únicamente los ocho bits más significativos de una constante de entrada al Sigma-Delta de dieciséis bits. Incluso si se variasen los ocho bits menos significativos se podría llegar a alcanzar una resolución mínima de 8.5 Hz.

Considerando los tres tipos de moduladores Sigma-Delta empleados a lo largo de este proyecto se puede concluir que se obtiene una mejor calidad del espectro de salida del sintetizador completo al emplear el de tercer orden.

Al utilizar el modulador de segundo orden no estándar no se consigue alcanzar la frecuencia exacta a la que debe oscilar. Esto es debido a que al tener resonador y ser de orden par no posee ningún cero en continua, lo que introduce ruido para entradas continuas. Además el espectro de salida del sintetizador presenta mucho ruido y no se consigue su enganche fácilmente. Sin embargo, usando el modulador de segundo orden estándar se consiguen mejorar los dos primeros problemas, pero el último de ellos persiste. Esto es debido a que, en los casos de segundo orden, no se consigue trabajar en el margen de enganche lineal sino en el no-lineal.

Se consigue una mejor estabilidad del sintetizador y una mayor facilidad de enganche a una frecuencia determinada empleando el modulador de tercer orden, al funcionar dentro del margen de enganche lineal. Además, al ser de mayor orden y multibit, se consigue disminuir la cantidad de tonos discretos que aparecen a la salida del sintetizador.

Líneas de trabajo futuras

Durante este proyecto se ha analizado y evaluado un sintetizador de frecuencia en el que casi todos los bloques han sido diseñados a lo largo del mismo. Sin embargo, a la hora de la implementación experimental, se ha empleado un componente ya existente para uno de los bloques, el VCO. En trabajos futuros se podría realizar el diseño de un VCO acorde a las necesidades del circuito. Además, el VCO empleado tan sólo admite frecuencias del orden de centenas de KHz, por lo que resultaría interesante poder incluir un diseño que funcionase a frecuencias más elevadas, del orden de MHz.

Por otro lado, la salida del divisor de frecuencia diseñado para el sintetizador de este proyecto no presenta un ciclo de trabajo del 50%, lo que provoca que exista más distorsión a la salida del mismo. Por lo tanto se podría intentar mejorar este diseño de manera que se aproximase el ciclo de trabajo lo más posible al 50%.

En cuanto al modulador Sigma-Delta para el control del factor de división, una línea interesante sería diseñar un modulador de mayor orden que se enganchara mejor para una entrada continua. De esta manera se podría mejorar la calidad del espectro de salida del sintetizador de frecuencia al mejorar la del propio modulador.

Bibliografía

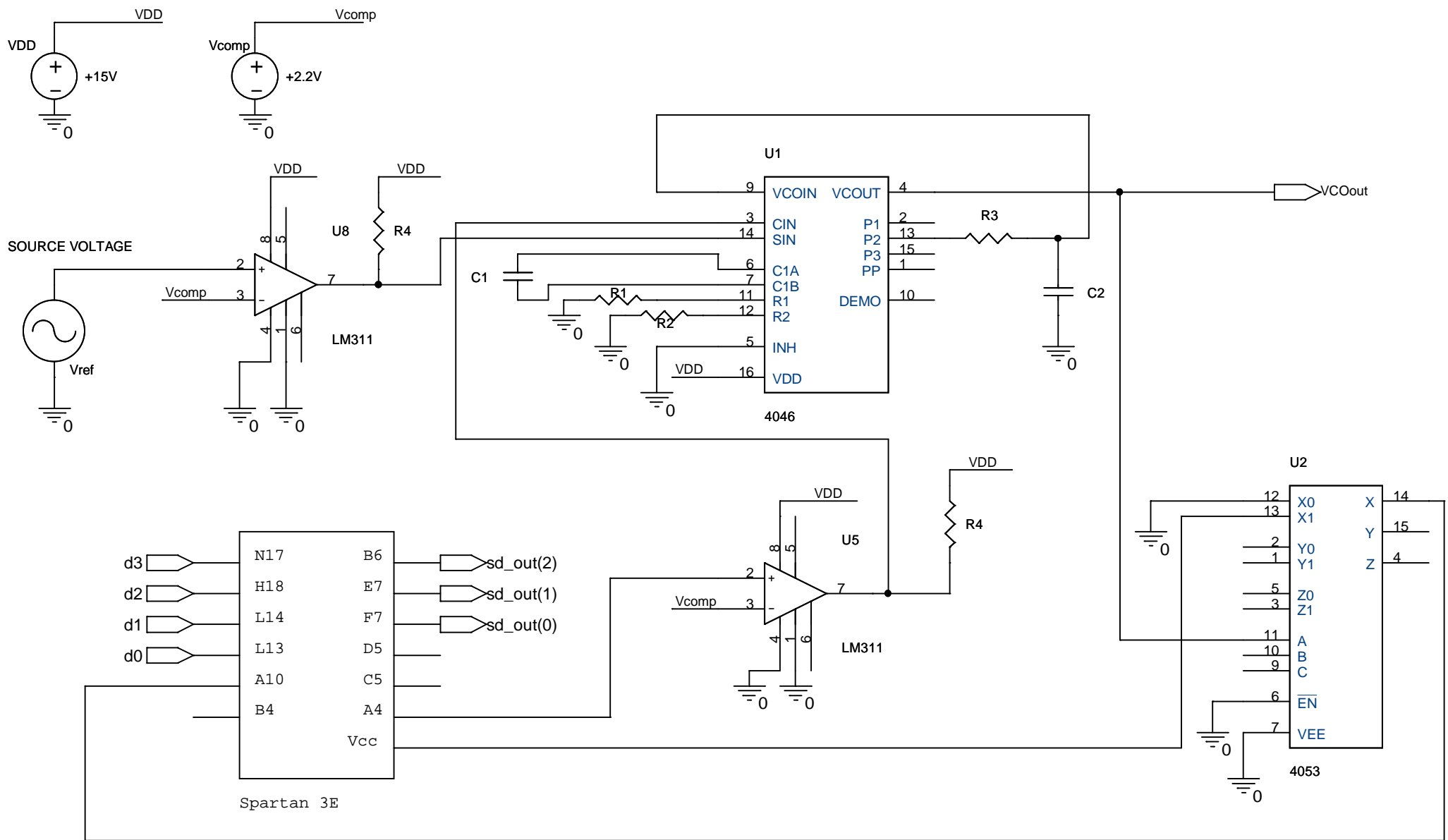
- [1] K. Shu y E. Sánchez-Sinencio, “CMOS PLL Synthesizers: Analysis and Design”, Springer, 2005.
- [2] J. Balacco, “Unidad nº4 – Síntesis de frecuencia”, material docente de la asignatura “Electrónica Aplicada III” de la Universidad Tecnológica Nacional, Facultad Regional Mendoza, República Argentina, 2011. Disponible en la web: <http://examenesutn.awardspace.com/examenes/aplicada3/apuntes//ApuntesMendoza/U4-r05.PDF>
- [3] J. Rogers, C. Plett y F. Dai, “Integrated Circuit Design for High-Speed Frequency Synthesis”, Artech House, 2006.
- [4] J. R. Smith, “Modern Communication Circuits”, McGraw-Hill, 1998.
- [5] M. Sierra Pérez, “Electrónica de Comunicaciones”, Pearson Prentice Hall, 2003.
- [6] A. Arnau Vives, J. M. Ferrero, Y. Jiménez Jiménez y T. Sogorb Devesa, “Sistemas electrónicos de comunicaciones II”, Universidad Politécnica de Valencia, 2000.
- [7] D. Johns y K. Martin, “Analog Integrated Circuit Design”, John Wiley & Sons, 1997.
- [8] S. Patón, “Tema 11: Síntesis de frecuencia”, material docente de la asignatura “Diseño de Circuitos Electrónicos para Comunicaciones” del Máster de Ingeniería de Telecomunicación de la Universidad Carlos III de Madrid.
- [9] F. Zarkeshvari, P. Noel y T. Kwasniewski, “PLL-Based Fractional-N Frequency Synthesizers”, IEEE, 2005.
- [10] R. Schreier, “Delsig toolbox”. Disponible en la web: <http://www.mathworks.co.uk/matlabcentral/fileexchange/loadFile.do?objectId=19&objectType=file>
- [11] A. M. Fahim y M. I. Elmasry, “A Wideband Sigma-Delta Phase-Locked-Loop Modulator for Wireless Applications”, IEEE Transactions on Circuits and Systems, Febrero 2003.
- [12] Manual de usuario del kit de la FPGA Spartan-3E, Enero 2011. Disponible en la web: http://www.xilinx.com/support/documentation/boards_and_kits/ug230.pdf
- [13] S. R. Norsworthy, R. Schreier y G. C. Temes, “Delta-Sigma Data Converters: Theory, Design and Simulation”, capítulo 10, IEEE Press, New York, 1997.

Anexo A. Datasheets

Anexo A. Datasheets

- Hoja de características del encapsulado CD4046BC, Marzo 2002. Disponible en la web: <http://www.floka.com/cmos/pdf/4046.pdf>
- Hoja de características del encapsulado CD4053BC, Abril 2002. Disponible en la web: <http://www.farnell.com/datasheets/89035.pdf>
- Hoja de características del comparador de tensión LM311, Enero 2001. Disponible en la web: <http://www.national.com/ds/LM/LM111.pdf>

Anexo B. Esquemáticos

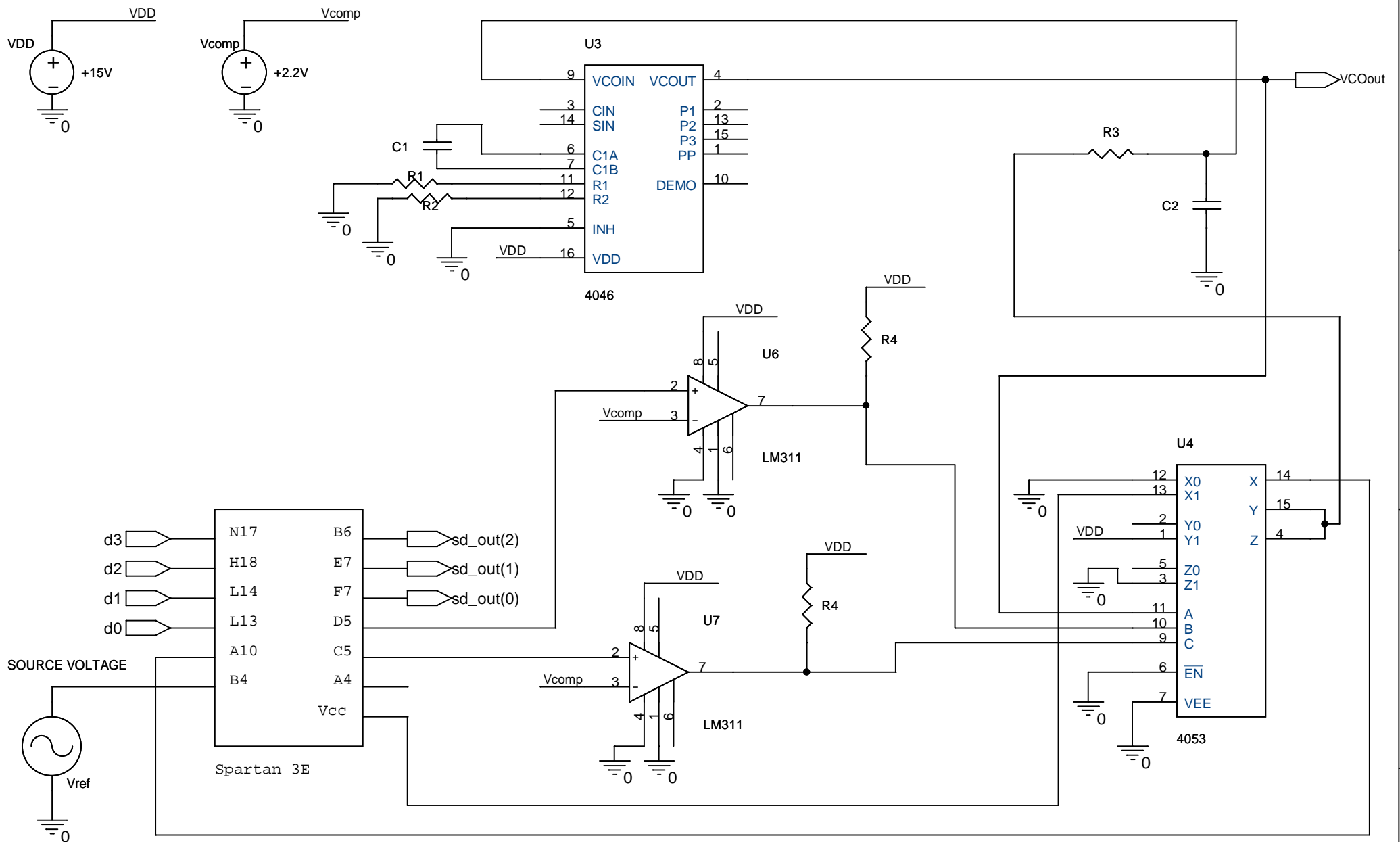


Title: Esquemático del Proyecto Fin de Carrera

Name: Esquemático general con Comp II del 4046

Date: Tue Sep 13 10:23:22 2011

Sheet 1 of 16

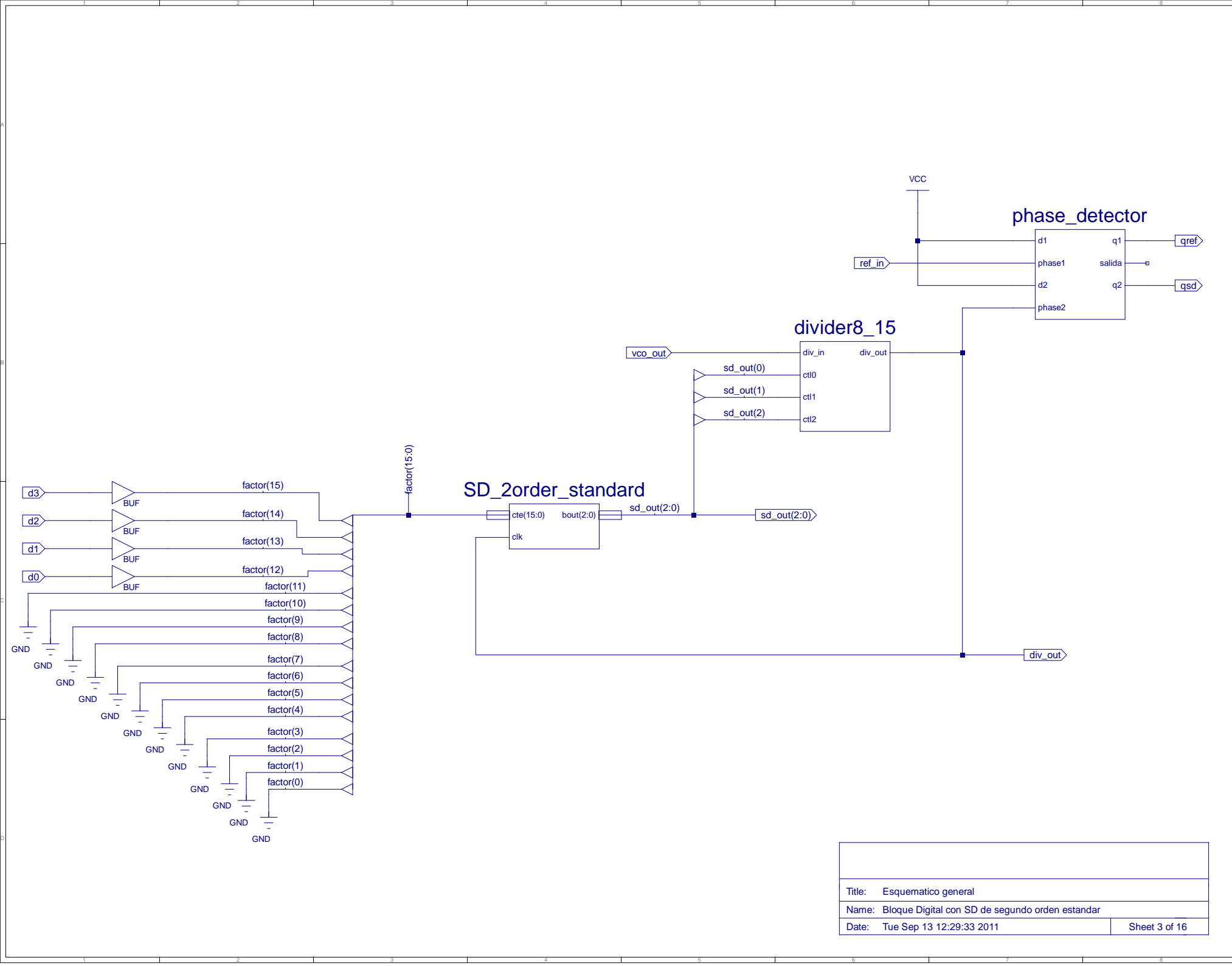


Title: Esquemático del Proyecto Fin de Carrera

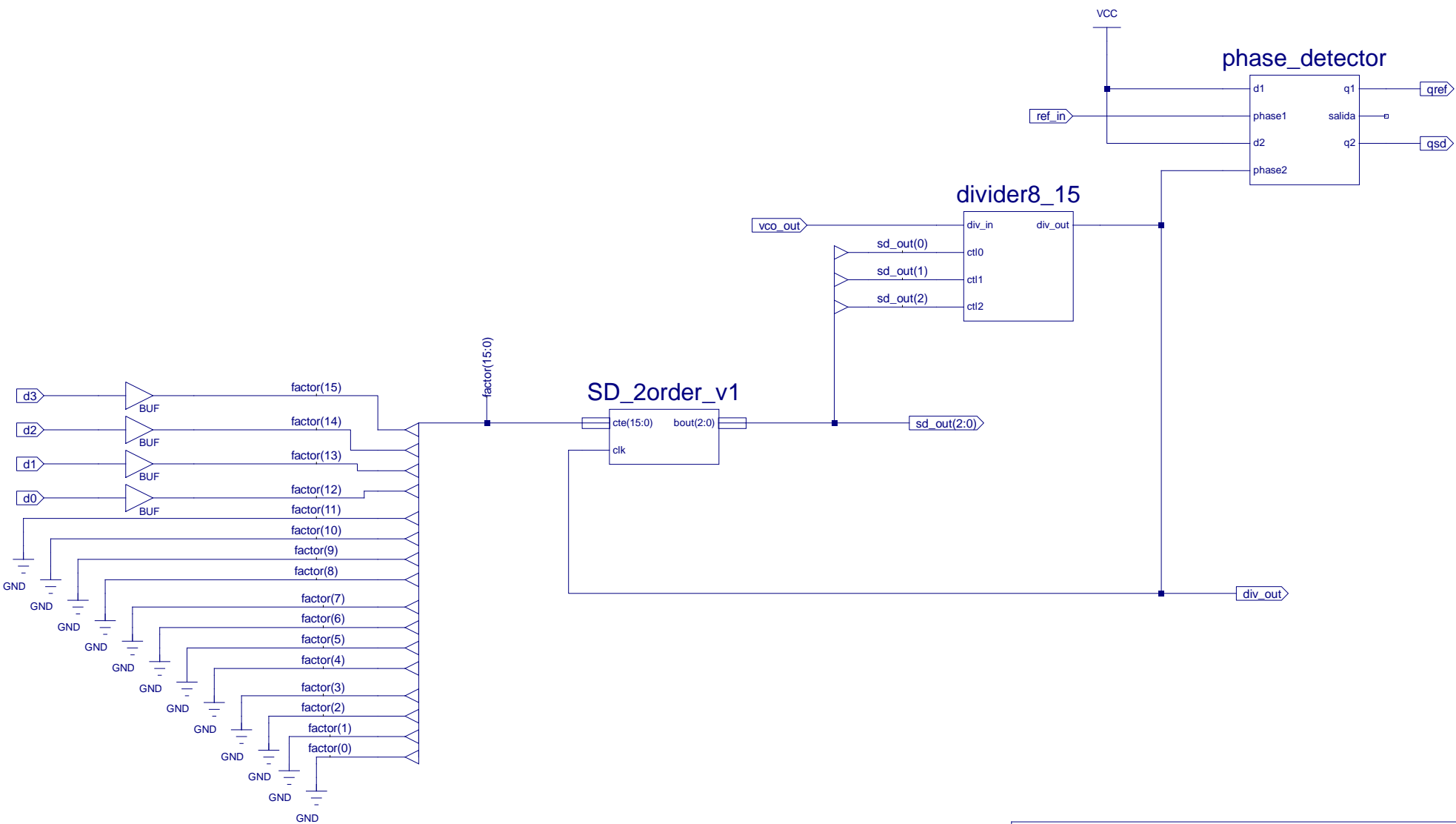
Name: Esquemático general con comparador de fase-frecuencia

Date: Tue Sep 13 10:45:31 2011

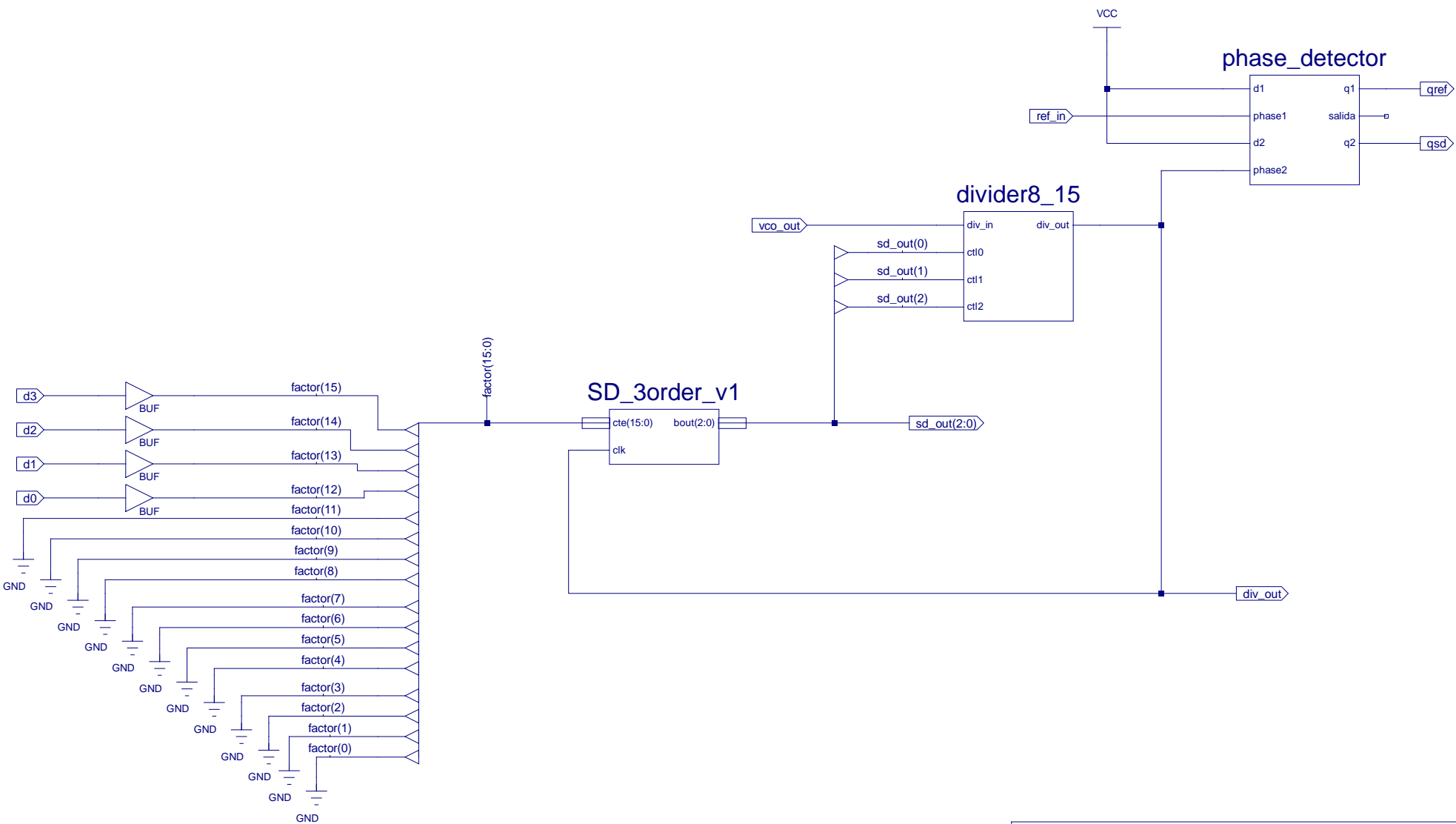
Sheet 2 of 16



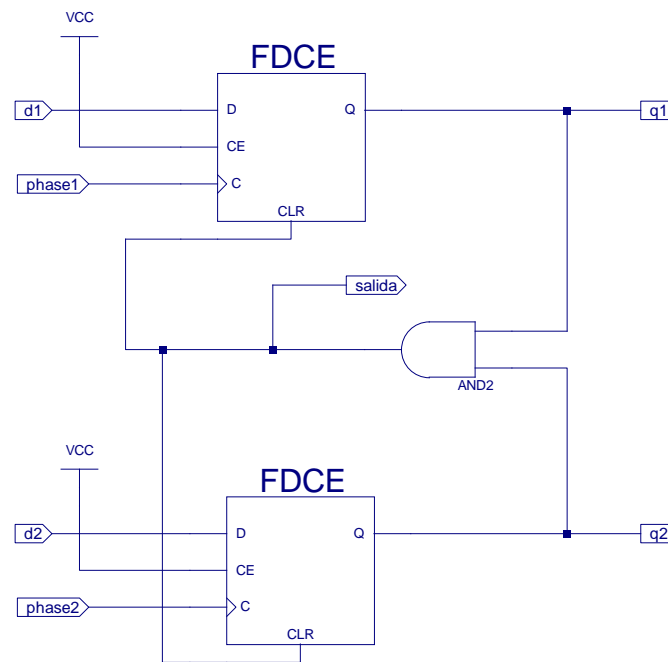
Title: Esquemático general	
Name: Bloque Digital con SD de segundo orden estandar	
Date: Tue Sep 13 12:29:33 2011	Sheet 3 of 16



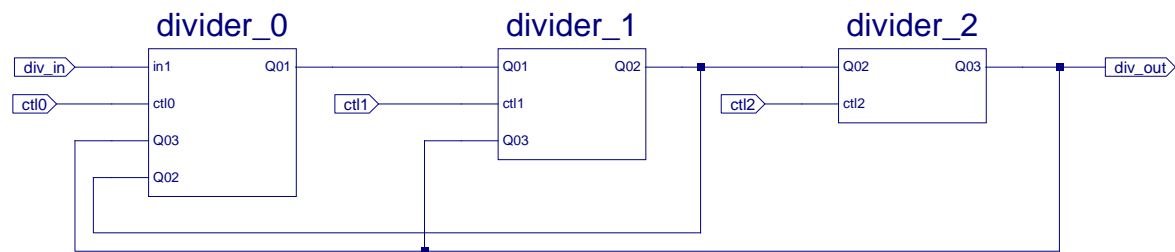
Title: Esquemático del Proyecto Fin de Carrera	
Name: Bloque Digital con SD de segundo orden (SD 1)	
Date: Wed Sep 14 11:06:51 2011	Sheet 4 of 16

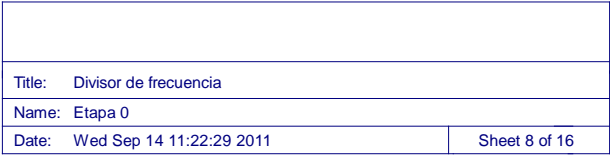


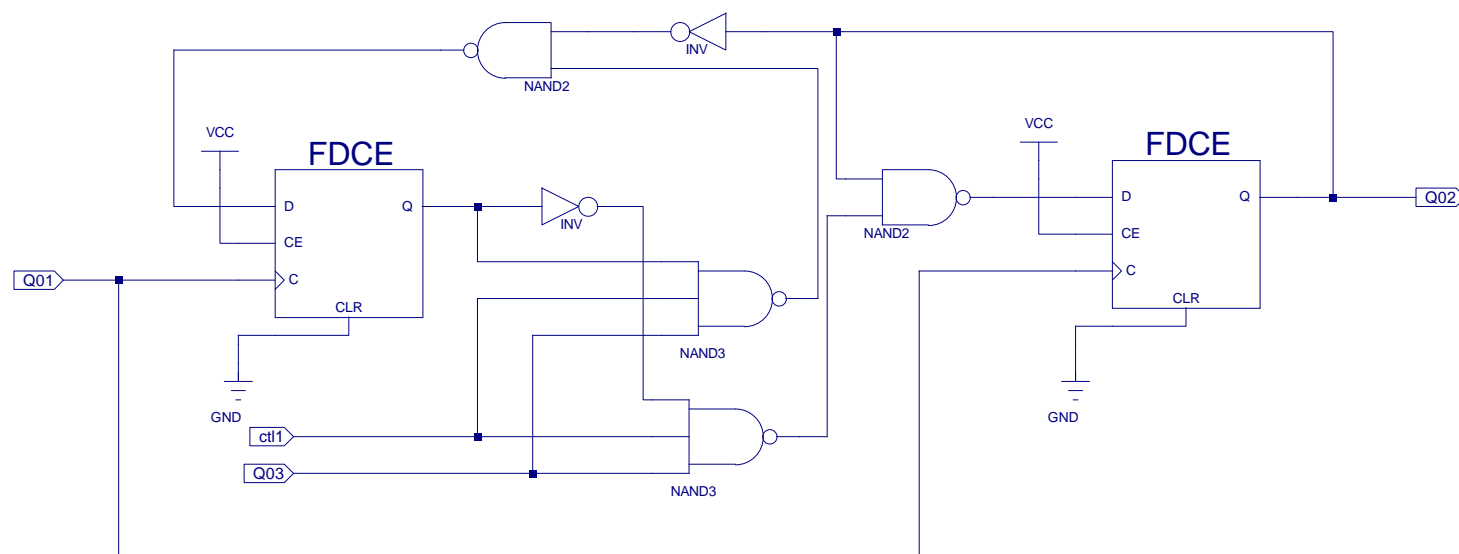
Title: Esquemático del Proyecto Fin de Carrera	
Name: Bloque Digital con SD de tercer orden (SD 2)	
Date: Wed Sep 14 11:15:36 2011	Sheet 5 of 16



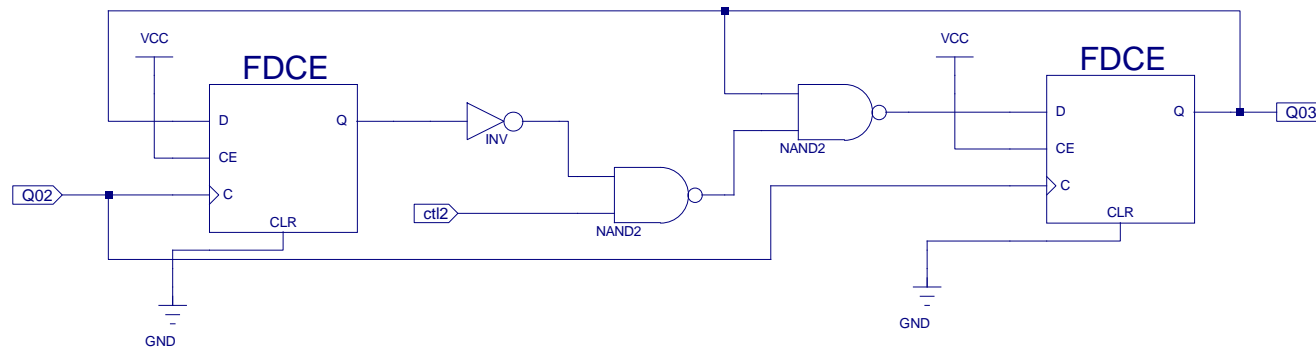
Title: Bloque Digital	
Name: Detector de fase	
Date: Wed Sep 14 11:20:43 2011	Sheet 6 of 16



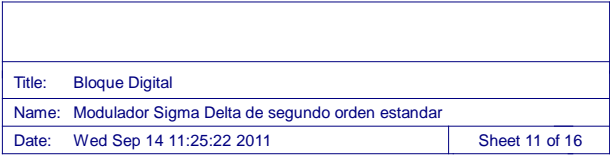


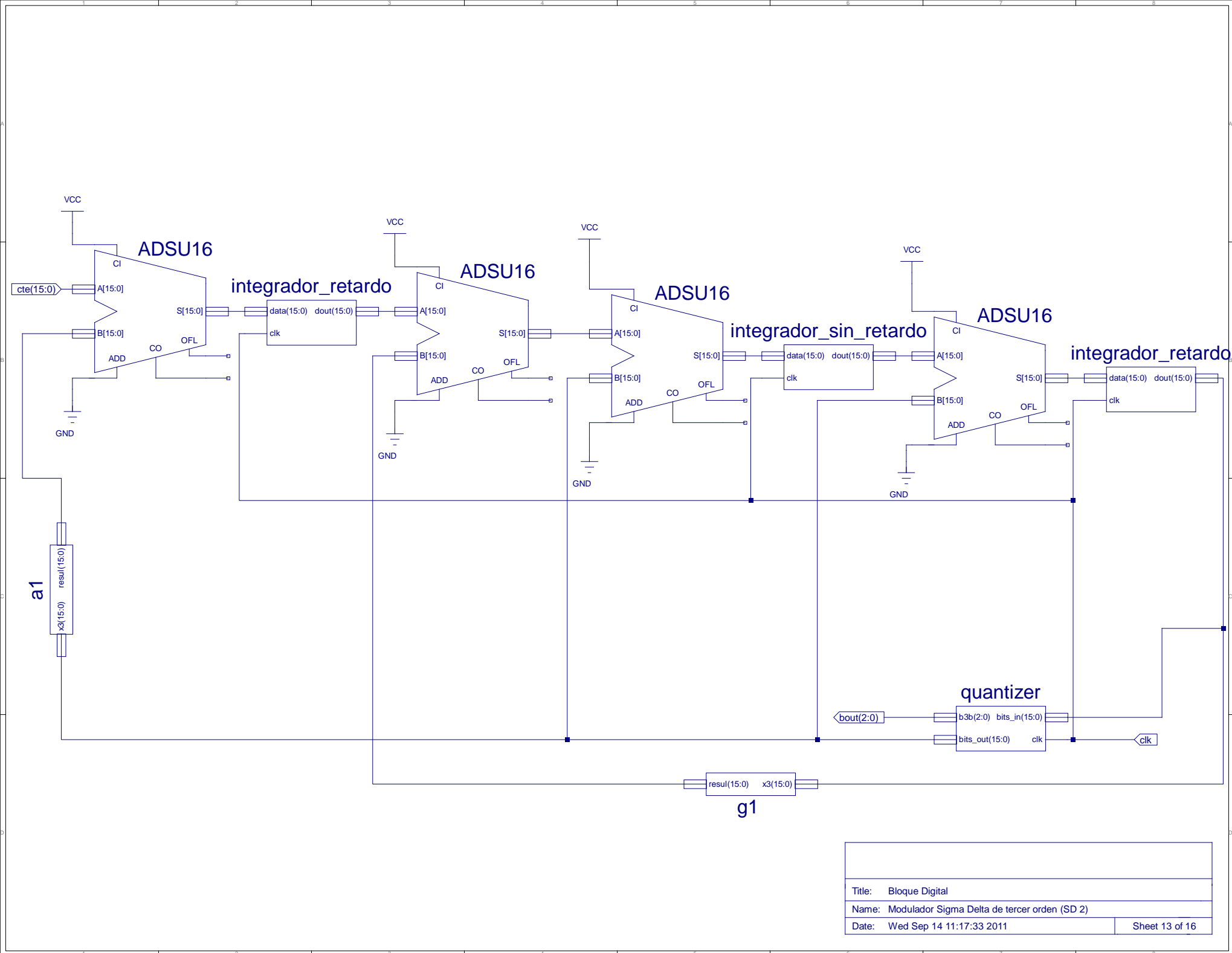


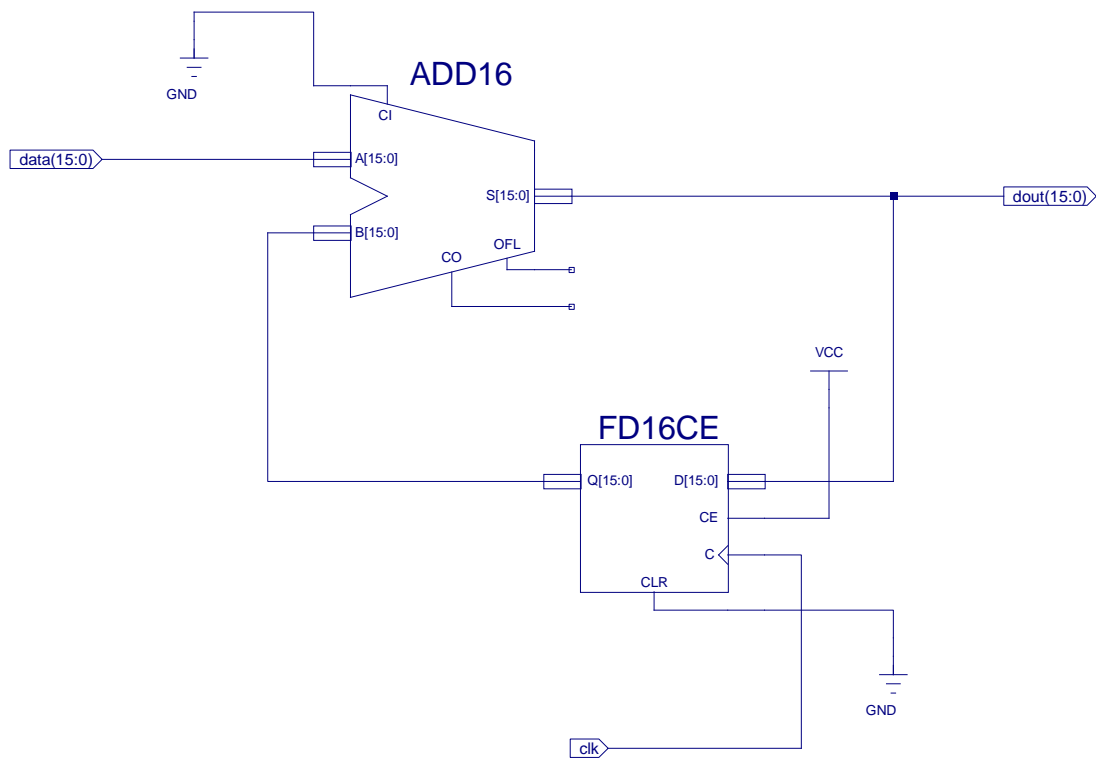
Title: Divisor de frecuencia	
Name: Etapa 1	
Date: Wed Sep 14 11:23:26 2011	Sheet 9 of 16



Title: Divisor de frecuencia	
Name: Etapa 2	
Date: Wed Sep 14 11:24:21 2011	Sheet 10 of 16







Title: Modulador Sigma Delta de segundo orden estandar	
Name: Integrador sin retardo	
Date: Wed Sep 14 11:26:15 2011	Sheet 14 of 16

